



2183
#2

P/2041-58

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Junji Sakai

Date: May 10, 2001

Serial No:09/821,444

Group Art Unit:

Filed: March 29, 2001

For: PROGRAM CONVERSION APPARATUS AND METHOD...

Assistant Commissioner for Patents
Washington, D.C. 20231

RECEIVED
MAY 16 2001
Group 2100

SUBMISSION OF PRIORITY DOCUMENT

Sir:

In accordance with 35 U.S.C. §119, Applicant confirms the prior request for priority under the International Convention and submits herewith the following document in support of the claim:

Certified Japanese Application No.
2000-093508 Filed March 30, 2000

I hereby certify that this correspondence is being deposited with the U.S. Postal Service as first class mail in an envelope addressed to Commissioner of Patents and Trademarks, Washington, D.C. 20231 on May 10, 2001 :

Respectfully submitted,

Steven I. Weisburd

Name of applicant, assignee or
Registered Representative

Signature

May 10, 2001

Date of Signature

Steven I. Weisburd

Registration No.: 27,409

OSTROLENK, FABER, GERB & SOFFEN, LLP

1180 Avenue of the Americas

New York, New York 10036-8403

Telephone: (212) 382-0700

SIW:dr



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

2000年 3月30日

出 願 番 号

Application Number:

特願2000-093508

願 人
Applicant (s):

日本電気株式会社

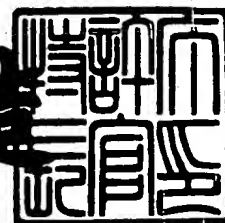
RECEIVED
MAY 16 2001
Group 2100

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3100509

【書類名】 特許願

【整理番号】 33509741

【提出日】 平成12年 3月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 9/06
G06F 17/00
G06F 9/38

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 酒井 淳嗣

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 プログラム変換装置及び方法並びに記録媒体

【特許請求の範囲】

【請求項 1】

複数のプログラムカウンタと、複数のスレッド実行装置と、を備え、前記複数のスレッド実行装置は、前記複数のプログラムカウンタに従って、複数のスレッドの命令を、同時に、フェッチ、解釈、実行し、

スレッド生成時以降に、レジスタセットに及ぼした変更を、後に取り消し可能な制御投機的モードでスレッドを実行すること、及び、

自スレッドがメモリ領域から値をロードした後に、自スレッドを生成した親スレッドが同一メモリ領域に値をストアした場合に、自スレッドの少なくとも当該ロード以降の処理結果を破棄し、それらの処理を再実行するデータ依存投機的モードでスレッドを実行すること、が可能とされ、

命令セットとして、

前記スレッド実行装置で実行中のスレッドが制御投機的モードの新たなスレッドを生成すること、

指定された条件が成立していれば自スレッドを終了させると共に、自スレッドが生成した制御投機的モードのスレッドの制御投機的モードを解除すること、

生成した制御投機的モードのスレッドを破棄すること、

自スレッドが生成するスレッドが指定されたアドレスのメモリ領域からのロードを行う際に、その動作を一時停止させることをあらかじめ指示すること、

指定されたメモリアドレスに対する前記ロード一時停止指示を解除すること、

前記スレッド実行装置で実行中のスレッドがデータ依存投機的モードの新たなスレッドを生成すること、及び、

自スレッドが生成したデータ依存投機的モードのスレッドのデータ依存投機的モードを解除すること、

が、単一又は高々数個の機械語命令の組合せで実行できる命令セットを有するマルチスレッドプロセッサに対して、与えられた原始プログラムを前記マルチスレッドプロセッサ向けに変換するプログラム変換装置であって、

並列化に先立ってレジスタ割り当てを試み、中間プログラム上の各変数、及び中間項のレジスタ割り当て状況を予測するレジスタ割り当て試行部と、

前記レジスタ割り当て試行部でのレジスタ割り当て試行結果に基づいて、前記中間プログラムにおける条件分岐部分をスレッド生成命令を用いた並列コードに変換するか否か決定し、及び、並列コードでの並列実行方式の決定を行うフォーク（F O R K）箇所決定部と、

前記フォーク（F O R K）箇所決定部での決定結果に基づいて、前記中間プログラム中の条件分岐部分を、スレッド生成命令を用いた並列コードに変換し、前記レジスタ割り当て試行結果を参照して、スレッド間のメモリを介したデータ依存関係を保証する命令を、前記スレッド生成命令の前後に挿入すると共に、スレッド生成が早い段階で行われるように、前記スレッド生成命令の前後の命令を並べ換える命令並べ換え部と、

並列化され並べ換えられた命令列に対して、物理レジスタが割り当てられるか否かに関して、前記レジスタ割り当ての試行時と同じ割り当て結果となるように確定的なレジスタ割り当てを行うレジスタ割り当て部と、

を備える、ことを特徴とするプログラム変換装置。

【請求項 2】

前記フォーク（F O R K）箇所決定部が、現在処理対象としている中間プログラム中の基本ブロックから、該基本ブロック末尾にある条件分岐命令の分岐先基本ブロック各々へのメモリを介したデータ依存関係を調査し、

分岐先の各々について、分岐先基本ブロック中においてデータ依存を引き起こしているメモリ参照命令のうち、最も先頭にある命令の、該分岐先基本ブロック先頭からの命令ステップ数を数え、

前記命令ステップ数が大きな側の分岐先基本ブロックを、並列実行させる新たなスレッドとして選択する、ことを特徴とする請求項 1 に記載のプログラム変換装置。

【請求項 3】

前記フォーク（F O R K）箇所決定部が、分岐先基本ブロックにてメモリを介したデータ依存命令の位置を求める際、前記命令ステップ数に代えて、各命令の

推定実行サイクル数を積算した値を用いる、ことを特徴とする請求項2に記載のプログラム変換装置。

【請求項4】

請求項1、請求項2または請求項3に記載のプログラム変換装置において、

初回に原始プログラムから目的プログラムに変換する際に、前記プログラム変換装置内の中間プログラムでの基本ブロックと、出力する目的プログラムでの機械命令アドレスとの対応をとるためのアドレス対応情報を、前記目的プログラムと併せて出力し、

目的プログラム実行装置が、前記目的プログラムと前記アドレス対応情報を読み込んで、前記目的プログラムを実行すると共に、前記目的プログラムの実行時の基本ブロック間の分岐プロファイル情報と、基本ブロック間でメモリを介して発生したデータ依存情報とを含むプロファイル情報を出力し、

次に、前記プログラム変換装置が、原始プログラムを並列化して目的プログラムに変換する際に、前記フォーク（FORK）箇所決定部が、前記プロファイル情報を参照して、条件分岐において、制御の流れる確率が高い分岐先基本ブロック及び条件分岐において、データ依存が発生する確率が低い分岐先基本ブロックを並列実行する新スレッドとして優先的に選択する、ことを特徴とする、プログラム変換装置。

【請求項5】

前記フォーク（FORK）箇所決定部が、並列実行する新スレッドの実行開始点として選択した条件分岐先基本ブロックに対し、中間プログラムでのメモリを介したデータ依存を解析した結果と、前記プロファイル情報から得たデータ依存発生確率とに基づき、データ依存を引き起こす異なるメモリアドレスの箇所の数が定められた数より少ない場合には、新スレッドが該メモリアドレスからロードする動作を一時停止させるように命令を生成し、

一方、データ依存を引き起こす異なるメモリアドレスの箇所の数が定められた数より多い場合には、データ依存発生確率が定められた確率より低いか否かを調べ、確率が低い場合には、データ依存投機的モードで新スレッドを生成するように命令を生成し、

確率が高い場合には、当該箇所での並列化変換を取りやめるように制御する、ことを特徴とする請求項4に記載のプログラム変換装置。

【請求項6】

前記フォーク（FORK）箇所決定部が、現在処理対象としている中間プログラム中の基本ブロックから、該基本ブロック末尾にある条件分岐命令の分岐先基本ブロック各々へのメモリを介したデータ依存関係を調査し、該調査したデータ依存関係と、前記プロファイル情報から得た条件分岐確率とを総合した結果、当該条件分岐での分岐先基本ブロック各々に関して、分岐確率の間に定められた以上の差異がなく、且つ、メモリを介したデータ依存発生時期の早遅にも定められた以上の差異がない場合に、当該条件分岐部分を並列化しないように決定する、ことを特徴とする請求項4または請求項5に記載のプログラム変換装置。

【請求項7】

原始（ソース）プログラムを構文解析して中間プログラムを生成する構文解析部と、

前記中間プログラムに対して並列化を含む最適化処理を行う並列化部と、

前記並列化装置で最適化済みの中間プログラムからターゲットプロセッサ装置向きの命令コードからなる目的プログラム（オブジェクトコード）を生成出力するコード生成部と、

を備えたプログラム変換装置において、

前記並列化部が、

前記中間プログラムを読み込んで制御フローやデータフローを解析する中間プログラム入力部と、

並列化に先立ってレジスタ割り当てを試み、中間プログラム上の各変数、及び中間項のレジスタ割り当て状況を予測するとともに、レジスタの割り当てを実行するレジスタ割り当て部と、

前記レジスタ割り当て試行結果に基づいて、前記中間プログラムにおける条件分岐部分をスレッド生成命令を用いた並列コードに変換する箇所を決定するフォーク（FORK）箇所決定部と、

前記FORK箇所決定部で決定された並列化箇所とデータフローなどの情報が

ら、前記並列化箇所前後の命令の並べ換えを行う命令並べ換え部と、

前記並列化を含む変換を終えた命令列を再度中間プログラム形式で出力する中間プログラム出力部と、

を備えた、ことを特徴とするプログラム変換装置。

【請求項 8】

前記並列化部が、前記ターゲットプロセッサ装置で前記目的プログラムを実行して出力されるプロファイル情報を入力して内部形式に変換するプロファイル情報入力部を備え、

前記フォーク（F O R K）箇所決定部が、前記レジスタ割り当て試行結果と、前記プロファイル情報に基づき、前記中間プログラムにおける条件分岐部分をスレッド生成命令を用いた並列コードに変換する箇所を決定するとともに、並列コードによる並列実行方式を決定する、ことを特徴とする請求項 7 記載のプログラム変換装置。

【請求項 9】

前記命令並べ換え部が、前記フォーク（F O R K）箇所決定部での決定結果に基づいて、前記中間プログラム中の条件分岐部分を、スレッド生成命令を用いた並列コードに変換し、前記レジスタ割り当て試行結果を参照して、スレッド間のメモリを介したデータ依存関係を保証する命令を、前記スレッド生成命令の前後に挿入すると共に、スレッド生成が早い段階で行われるように、前記スレッド生成命令の前後の命令を並べ換える、ことを特徴とする請求項 7 記載のプログラム変換装置。

【請求項 1 0】

前記レジスタ割り当て部が、並列化され並べ換えられた命令列に対して、物理レジスタが割り当てられるか否かに関して前記レジスタ割り当ての試行時と同じ割り当て結果となるように確定的なレジスタ割り当てを行う、ことを特徴とする請求項 7 記載のプログラム変換装置。

【請求項 1 1】

原始プログラムを構文解析部で構文解析して得られる中間プログラムに対して、ターゲットプロセッサ装置向けに、並列化を含む最適化処理を行うプログラム

変換装置において、

前記中間プログラム上で、前記ターゲットプロセッサ装置でのレジスタの割り当てを試行し、レジスタ割り当て情報を実際の割り当てに先行して取得するレジスタ割り当て試行手段と、

前記中間プログラムに対して、前記ターゲットプロセッサ装置でのメモリを介して発生するデータ依存の距離の計算を行う手段と、

前記中間プログラム上で、前記メモリを介するデータ依存の距離を考慮して、フォーク（FORK）先を決定し、条件分岐をスレッド生成命令に置き換える手段と、

前記レジスタ割り当て試行結果を参照して、前記中間プログラム上で、前記スレッド生成命令前後の命令の並べ換えを行う手段と、

を備えたことを特徴とするプログラム変換装置。

【請求項 1 2】

前記条件分岐をスレッド生成命令に置き換える手段が、

前記条件分岐の 2 つの分岐先の各々に対して、各中間項及び変数のデータ依存の距離の最小値を計算する手段と、

前記条件分岐の 2 つの分岐に関して、それぞれ求めた 2 つのデータ依存の距離の最小値を比較し、両者に所定値以上の差がある場合、前記データ依存の距離の最小値の大きい側の分岐方向をフォーク（FORK）先とし、該条件分岐箇所をフォーク（FORK）箇所に選定し、一方、前記データ依存の距離の最小値に前記所定値以上の差がない場合には、元の中間プログラム内で分岐先であった側をフォーク（FORK）先とし、該条件分岐箇所をフォーク（FORK）箇所候補に選定する手段と、を備えた、ことを特徴とする請求項 1 1 記載のプログラム変換装置。

【請求項 1 3】

請求項 1 1 記載のプログラム変換装置において、

前記プログラム変換装置から出力される目的プログラムを実行するプロセッサ装置から出力されるプロファイル情報を入力し、前記プロファイル情報から、条件分岐確率及びデータ依存発生頻度を計算する手段と、

前記データ依存の距離と、前記条件分岐確率及び前記データ依存発生頻度と、データ依存を引き起こす互いに異なるメモリアドレスの箇所の数から、フォーク（FORK）先及びデータ依存保証方式を決定し、条件分岐をスレッド生成命令に置き換える手段と、を備えたことを特徴とするプログラム変換装置。

【請求項 14】

前記ターゲットプロセッサ装置が、複数のプログラムカウンタと、複数のスレッド実行装置と、を備え、前記複数のスレッド実行装置は、前記複数のプログラムカウンタに従って、複数のスレッドの命令を、同時に、フェッチ、解釈、実行し、

スレッド生成時以降に、レジスタセットに及ぼした変更を、後に取り消し可能な制御投機的モードでスレッドを実行すること、及び、

自スレッドがメモリ領域から値をロードした後に、自スレッドを生成した親スレッドが同一メモリ領域に値をストアした場合に、自スレッドの少なくとも当該ロード以降の処理結果を破棄し、それらの処理を再実行するデータ依存投機的モードでスレッドを実行すること、が可能とされ、

命令セットとして、

前記スレッド実行装置で実行中のスレッドが制御投機的モードの新たなスレッドを生成すること、

指定された条件が成立していれば自スレッドを終了させると共に、自スレッドが生成した制御投機的モードのスレッドの制御投機的モードを解除すること、

生成した制御投機的モードのスレッドを破棄すること、

自スレッドが生成するスレッドが指定されたアドレスのメモリ領域からのロードを行う際に、その動作を一時停止させることをあらかじめ指示すること、

指定されたメモリアドレスに対する前記ロード一時停止指示を解除すること、

前記スレッド実行装置で実行中のスレッドがデータ依存投機的モードの新たなスレッドを生成すること、及び、

自スレッドが生成したデータ依存投機的モードのスレッドのデータ依存投機的モードを解除すること、

が、単一又は高々数個の機械語命令の組合せで実行できる命令セットを有する

マルチスレッドプロセッサよりなる、ことを特徴とする請求項 7 乃至 13 のいずれかに記載のプログラム変換装置。

【請求項 15】

原始プログラムをコンパイルしてマルチスレッド型のターゲットプロセッサ装置向けの目的プログラムを出力するプログラム変換装置において、構文解析の結果出力される中間プログラムに対して並列化を含む最適化処理を行う方法であって、

(a) 並列化に先立ってレジスタ割り当てを試み、中間プログラム上の各変数、及び中間項のレジスタ割り当て状況を予測するレジスタ割り当て試行ステップと、

(b) 前記レジスタ割り当て試行結果に基づいて、前記中間プログラムにおける条件分岐部分をスレッド生成命令を用いた並列コードに変換するか否かの決定を行うか、もしくは、並列コードに変換するか否かの決定と並列コードに変換する場合その並列実行方式の決定を行うフォーク (FORK) 箇所決定ステップと

(c) 前記フォーク (FORK) 箇所決定ステップでの決定結果に基づいて、前記中間プログラム中の条件分岐部分を、スレッド生成命令を用いた並列コードに変換し、前記レジスタ割り当て試行結果を参照して、スレッド間のメモリを介したデータ依存関係を保証する命令を、前記スレッド生成命令の前後に挿入すると共に、スレッド生成が早い段階で行われるように、前記スレッド生成命令の前後の命令を並べ換える命令並べ換えステップと、

(d) 並列化され並べ換えられた命令列に対して前記レジスタ割り当ての試行時と同じ割り当て結果となるように確定的なレジスタ割り当てを行うレジスタ割り当てステップと、

を含む、ことを特徴とするプログラム並列化方法。

【請求項 16】

前記フォーク (FORK) 箇所決定ステップが、前記条件分岐の 2 つの分岐先の各々に対して、各中間項及び変数のデータ依存の距離の最小値を計算し、前記条件分岐の 2 つの分岐に関して、それぞれ求めた 2 つのデータ依存の距離の最小

値を比較し、両者に所定値以上の差がある場合、前記データ依存の距離の最小値の大きい側の分岐方向をフォーク（FORK）先とし、該条件分岐箇所をフォーク（FORK）箇所に選定し、一方、前記データ依存の距離の最小値に前記所定値以上の差がない場合には、元の間プログラム内で分岐先であった側をフォーク（FORK）先とし、該条件分岐箇所をフォーク（FORK）箇所候補に選定する、ことを特徴とする請求項 1 5 記載のプログラム並列化方法。

【請求項 1 7】

前記フォーク（FORK）箇所決定ステップが、現在処理対象としている中間プログラム中の、分岐や合流のない一続きのブロック（「基本ブロック」という）から、該基本ブロック末尾にある条件分岐命令の分岐先基本ブロック各々へのメモリを介したデータ依存関係を調査し、

分岐先の各々について、分岐先基本ブロック中においてデータ依存を引き起こしているメモリ参照命令のうち、最も先頭にある命令の、該分岐先基本ブロック先頭からの命令ステップ数を数え、

前記命令ステップ数が大きな側の分岐先基本ブロックを、並列実行させる新たなスレッドとして選択する、ことを特徴とする請求項 1 5 に記載のプログラム並列化方法。

【請求項 1 8】

前記フォーク（FORK）箇所決定ステップが、分岐先基本ブロックにてメモリを介したデータ依存命令の位置を求める際、前記命令ステップ数に代えて、各命令の推定実行サイクル数を積算した値を用いる、ことを特徴とする請求項 1 7 に記載のプログラム並列化方法。

【請求項 1 9】

前記プログラム変換装置で、まず、原始プログラムから目的プログラムに変換する際に、中間プログラムでの基本ブロックと、出力する目的プログラムでの機械命令アドレスとの対応をとるためのアドレス対応情報を、前記目的プログラムと併せて出力し、

前記目的プログラムを実行するプロセッサ装置が、前記目的プログラムと前記アドレス対応情報を読み込んで、前記目的プログラムを実行すると共に、前記目

的プログラムの実行時の基本ブロック間の分岐プロファイル情報と、基本ブロック間でメモリを介して発生したデータ依存情報とを含むプロファイル情報を出力し、

次に、前記プログラム変換装置が、原始プログラムを並列化して、目的プログラムに変換する際に、前記フォーク（FORK）箇所決定ステップにおいて、前記プロファイル情報を参照して、条件分岐において、制御の流れる確率が高い分岐先基本ブロック及び条件分岐において、データ依存が発生する確率が低い分岐先基本ブロックを並列実行する新スレッドとして優先的に選択する、ことを特徴とする、請求項 1 5 に記載のプログラム並列化方法。

【請求項 2 0】

前記フォーク（FORK）箇所決定ステップが、並列実行する新スレッドの実行開始点として選択した条件分岐先基本ブロックに対し、中間プログラムでのメモリを介したデータ依存を解析した結果と、前記プロファイル情報から得たデータ依存発生確率とに基づき、データ依存を引き起こす異なるメモリアドレスの箇所の数が定められた数よりも少ない場合には、新スレッドが該メモリアドレスからロードする動作を一時停止させるように命令を生成し、

一方、データ依存を引き起こす異なるメモリアドレスの箇所の数が定められた数より多い場合には、データ依存発生確率が定められた確率より低いかな否かを調べ、確率が低い場合には、データ依存投機的モードで新スレッドを生成するように命令を生成し、

確率が高い場合には、当該箇所での並列化変換を取りやめるように制御する、ことを特徴とする、請求項 1 9 に記載のプログラム並列化方法。

【請求項 2 1】

前記フォーク（FORK）箇所決定ステップが、現在処理対象としている中間プログラム中の基本ブロックから、該基本ブロック末尾にある条件分岐命令の分岐先基本ブロック各々へのメモリを介したデータ依存関係を調査し、該調査したデータ依存関係と、前記プロファイル情報から得た条件分岐確率とを総合した結果、当該条件分岐での分岐先基本ブロック各々に関して、分岐確率の間に、予め定められた以上の差異がなく、且つ、メモリを介したデータ依存発生時期の早遅

にも、予め定められた以上の差異がない場合に、当該条件分岐部分を並列化しないように決定する、ことを特徴とする請求項 1 9 に記載のプログラム並列化方法。

【請求項 2 2】

前記フォーク（F O R K）箇所決定ステップが、

（1）条件分岐命令が前記中間プログラム中のループ構造の戻り枝に相当する分岐命令であるか否かを判定するステップと、

（2）前記条件分岐命令がループ戻り枝に相当する分岐命令である場合、当該戻り枝方向、即ちループ継続方向を F O R K 先として、この条件分岐箇所を、F O R K 箇所に選定するステップと、

（3）前記条件分岐命令が、ループ戻り枝分岐ではない場合、条件分岐の 2 つの分岐先の各々に対して、各中間項／変数のデータ依存の距離の最小値を計算するステップと、

（4）前記条件分岐の 2 つの分岐に関してそれぞれ求めた 2 つのデータ依存の距離の最小値を比較し、両者に所定値以上の差があるか否かを判定するステップと、

（5）前記 2 つのデータ依存の距離の最小値に前記所定値以上の差がある場合、データ依存の距離の最小値の大きい側の分岐方向を F O R K 先とし、この条件分岐箇所を、F O R K 箇所に選定するステップと、

（6）データ依存の距離の最小値に前記所定値以上の差がない場合、元の間プログラム内で分岐先であった側（分岐命令の t a k e n 側）を F O R K 先とし、この条件分岐箇所を F O R K 候補に選定するステップと、

を含むことを特徴とする請求項 1 5 に記載のプログラム並列化方法。

【請求項 2 3】

前記データ依存の距離が、現在、処理対象としている基本ブロック内で定義され、その分岐先で参照される可能性がある中間項及び変数のうち、メモリ上に配置されると見込まれる中間項、及び変数の各々に対して、分岐先の基本ブロックの中で、該メモリ参照命令が、先頭からどれぐらいの位置にあるかを、中間プログラム中のステップ数で表したものである、ことを特徴とする請求項 2 2 に記載

のプログラム並列化方法。

【請求項 2 4】

前記データ依存の距離を求める際、各命令が目的アーキテクチャのプロセッサ上で実行される際に要すると推定されるサイクル数を用いる、ことを特徴とする請求項 2 2 に記載のプログラム並列化方法。

【請求項 2 5】

前記命令並べ換えステップが、

(1) 前記中間プログラム中の各中間項及び変数がレジスタに対応付けられるかメモリに対応付けられるかレジスタの割り当て状況を調べるステップと、

(2) 現在処理対象としている基本ブロックの末尾にある分岐命令を、制御投機モード FORK 命令に置換し、その際、制御投機モード FORK 命令のオペランドである FORK 先は、前記 FORK 箇所決定ステップで選択された FORK 先とするステップと、

(3) 前記中間プログラム中で、制御投機モード FORK 命令の直前にある分岐条件式を、制御投機モード FORK 命令直後に移動させると共に、該移動先の直後すなわち当該基本ブロックの末尾に、分岐条件成立時には自スレッドを終了させて子スレッドを確定モードすなわち非制御投機モードに移行させ、分岐条件非成立時には子スレッドを破棄させて自スレッドが後続命令列の実行を続ける、一群の命令列を、挿入するステップと、

(4) 現在処理対象としている基本ブロックにおいて、前記制御投機モード FORK 命令よりも手前、即ち、上流側にある命令文のうち、メモリに対応付けられた中間項及び変数への代入となる文の各々について、その代入文を、前記制御投機モード FORK 命令よりも後方、即ち、下流側へ移動させると共に、前記制御投機モード FORK 命令の直前に、ブロック設定命令を挿入し、代入文の移動先の直後に、ブロック解除命令を挿入するステップと、

(5) 前記ステップ (2) の FORK 変換処理で仮定したレジスタ割り当て状況に、レジスタを割り当てるように指示するステップと、

を含む、ことを特徴とする請求項 1 5 に記載のプログラム並列化方法。

【請求項 2 6】

前記フォーク（F O R K）箇所決定ステップが、

（１）条件分岐命令が前記中間プログラム中のループ構造の戻り枝に相当する分岐命令であるか否かを判定するステップと、

（２）ループ構造の戻り枝に相当する場合、前記戻り枝方向をF O R K先として仮決定するステップと、

（３）入力したプロファイル情報に基づいて、当該条件分岐命令のt a k e n（分岐成立）側と、f a l l t h r o u g h（フォールスルー）側が選択される確率と、を計算するステップと、

（４）前記計算された２つ分岐の確率間に所定の基準値以上の違いがあるかどうかを判定するステップと、

（５）前記２つ分岐の確率の違いが前記基準値を越えていれば、確率の高い側を、F O R K先として仮決定するステップと、

（６）条件分岐の２つの分岐先各々に対して、データ依存の距離の最小値を計算するステップと、

（７）条件分岐の２つの分岐に関して求めた２つのデータ依存の距離の最小値を比較し、両者に所定値以上の差があるか否かを判定するステップと、

（８）２つのデータ依存の距離の最小値に前記所定値以上の差があるか又はデータ依存がない場合、データ依存の距離の最小値の大きい側の分岐方向をF O R K先として決定するステップと、

（９）前記ステップ（２）又は（５）で仮決定されたF O R K先に対して、データ依存の距離の最小値を計算し、仮決定したF O R K先側のデータ依存の距離の最小値が所定値以上あるか否かを判定するステップと、

（１０）仮決定したF O R K先側のデータ依存の距離の最小値に所定値以上の差があるか、メモリを介したデータ依存がなければ、ステップ（２）又はステップ（５）で仮決定したF O R K先を、正式なF O R K先として確定するステップと、

（１１）前記データの依存の距離の最小値が一定水準に満たないと判断された場合には、当該基本ブロックを、F O R K箇所から除外するステップと、

（１２）入力したプロファイル情報からデータ依存発生頻度を計算するステッ

ブと、

(13) データの依存発生頻度が一定水準より高いか否かを判断し、低い場合、前記中間プログラム中で、FORK元基本ブロックから、FORK先基本ブロックへのデータ依存を引き起こし得るメモリ上の中間項／変数の個数を数え挙げ、それが一定水準より多いか否かを判定し、データ依存箇所数が一定水準より多ければDSP方式によるFORKを用い、そうでなければBLOCK方式によるFORKを用いることとし、その情報を、中間プログラム中のFORK命令に付与するステップと、

(14) データの依存発生頻度が一定水準より高い場合、データ依存しているメモリ上の変数の個数を数え挙げ、その数が、一定水準より少なければ、BLOCK方式によるFORKを用い、一定水準より多ければ、当該基本ブロックはFORK候補から外すステップと、

を含む、ことを特徴とする請求項15に記載のプログラム並列化方法。

【請求項27】

前記命令並べ換えステップが、

(1) 前記中間プログラム中の各中間項及び変数がレジスタに対応付けられるかメモリに対応付けられるかレジスタの割り当て状況を調べるステップと、

(2) 現在処理対象としている基本ブロックの末尾にある分岐命令を、制御投機モードFORK命令に置換し、その際、制御投機FORK命令のオペランドであるFORK先は、前記FORK箇所決定ステップで選択されたFORK先とするステップと、

(3) 前記中間プログラム中で、制御投機FORK命令の直前にある分岐条件式を、制御投機FORK命令直後に移動させると共に、該移動先の直後、即ち当該基本ブロックの末尾に分岐条件成立時には自スレッドを終了させて子スレッドを確定モードすなわち非制御投機モードに移行させ、分岐条件非成立時には、子スレッドを破棄させて自スレッドが後続命令列の実行を続ける一群の命令列を挿入するステップと、

(4) 前記FORK箇所決定ステップが決定した当該FORK箇所のFORK時データ保証方式がBLOCK方式かDSP方式かをチェックするステップと、

(5) B L O C K方式の場合、F O R K前のメモリストア文をF O R K後に移動すると共に、必要なブロック設定及びブロック解除命令を挿入し、移動の際には、データ依存関係を検査し、命令実行順序が入れ替わっても演算結果が不変となるもののみ移動させるステップと、

(6) D S P方式の場合、メモリに対応付けられた中間項への代入文を、F O R K命令後に移動させ、データ依存投機モードでF O R Kを行うように、前記ステップ(2)で置換作成されたF O R K命令を修正するステップと、

(7) 前記ステップ(2)のF O R K変換処理で仮定したレジスタ割り当て状況をレジスタ割り当てるように指示するステップと、

を含む、ことを特徴とする請求項15に記載のプログラム並列化方法。

【請求項28】

原始プログラムをコンパイルしてマルチスレッドプロセッサ装置向けの目的プログラムを生成出力するコンパイラにおいて、構文解析の結果出力される中間プログラムに対して並列化を含む最適化処理であって、

(a) 並列化に先立ってレジスタ割り当てを試み、中間プログラム上の各変数、及び中間項のレジスタ割り当て状況を予測するレジスタ割り当て試行処理と、

(b) 前記レジスタ割り当て試行結果に基づいて、前記中間プログラムにおける条件分岐部分をスレッド生成命令を用いた並列コードに変換するか否かの決定を行うか、もしくは、並列コードに変換するか否かの決定と並列コードに変換する場合その並列実行方式の決定を行うフォーク(F O R K)箇所決定処理と、

(c) 前記フォーク(F O R K)箇所決定部での決定結果に基づいて、前記中間プログラム中の条件分岐部分を、スレッド生成命令を用いた並列コードに変換し、前記レジスタ割り当て試行結果を参照して、スレッド間のメモリを介したデータ依存関係を保証する命令を、前記スレッド生成命令の前後に挿入すると共に、スレッド生成が早い段階で行われるように、前記スレッド生成命令の前後の命令を並べ換える命令並べ換え処理と、

(d) 並列化され並べ換えられた命令列に対して、物理レジスタが割り当てられるか否かに関して、前記レジスタ割り当ての試行時と同じ割り当て結果となるように確定的なレジスタ割り当てを行うレジスタ割り当て処理と、

の前記（a）乃至（d）の最適化処理をコンピュータで実行するためのプログラムを記録した記録媒体。

【請求項 2 9】

請求項 2 8 記載の記録媒体において、

前記フォーク（F O R K）箇所決定処理が、現在処理対象としている中間プログラム中の基本ブロックから、該基本ブロック末尾にある条件分岐命令の分岐先基本ブロック各々へのメモリを介したデータ依存関係を調査し、

分岐先の各々について、分岐先基本ブロック中においてデータ依存を引き起こしているメモリ参照命令のうち、最も先頭にある命令の、該分岐先基本ブロック先頭からの命令ステップ数を数え、

前記命令ステップ数が大きな側の分岐先基本ブロックを、並列実行させる新たなスレッドとして選択する、

処理を含み、前記処理を、前記コンピュータで実行するためのプログラムを記録した記録媒体。

【請求項 3 0】

請求項 2 8 記載の記録媒体において、

前記フォーク（F O R K）箇所決定処理において、分岐先基本ブロックにてメモリを介したデータ依存命令の位置を求める際、前記命令ステップ数に代えて、各命令の推定実行サイクル数を積算した値を用い処理を、前記コンピュータで実行するためのプログラムを記録した記録媒体。

【請求項 3 1】

請求項 2 8 記載の記録媒体において、

（f）前記コンパイラで、まず、原始プログラムから目的プログラムに変換する際に、中間プログラムでの基本ブロックと、出力する目的プログラムでの機械命令アドレスとの対応をとるためのアドレス対応情報を、前記目的プログラムと併せて出力する処理と、

前記目的プログラムを実行するプロセッサ装置が、前記目的プログラムと前記アドレス対応情報を読み込んで、前記目的プログラムを実行すると共に、前記目的プログラムの実行時の基本ブロック間の分岐プロファイル情報と、基本ブロッ

ク間でメモリを介して発生したデータ依存情報とを含むプロファイル情報を出力し、

前記コンパイラが、原始プログラムを並列化して、目的プログラムに変換する際に、

(g) 前記フォーク (FORK) 箇所決定処理において、前記プロファイル情報を参照して、条件分岐において、制御の流れる確率が高い分岐先基本ブロック及び条件分岐において、データ依存が発生する確率が低い分岐先基本ブロックを並列実行する新スレッドとして優先的に選択する処理、

の前記 (f) 及び (g) の処理を前記コンピュータで実行するためのプログラムを記録した記録媒体。

【請求項 3 2】

請求項 3 1 記載の記録媒体において、

前記フォーク (FORK) 箇所決定処理が、並列実行する新スレッドの実行開始点として選択した条件分岐先基本ブロックに対し、中間プログラムでのメモリを介したデータ依存を解析した結果と、前記プロファイル情報から得たデータ依存発生確率とに基づき、データ依存を引き起こす異なるメモリアドレスの箇所の数が定められた数より少ない場合には、新スレッドが該メモリアドレスからロードする動作を一時停止させるように命令を生成し、

一方、データ依存を引き起こす異なるメモリアドレスの箇所の数が定められた数より多い場合には、データ依存発生確率が定められた確率より低いかな否かを調べ、確率が低い場合には、データ依存投機的モードで新スレッドを生成するように命令を生成し、

確率が高い場合には、当該箇所での並列化変換を取りやめるように制御する、

処理を含み、前記処理を前記コンピュータで実行するためのプログラムを記録した記録媒体。

【請求項 3 3】

請求項 3 1 記載の記録媒体において、

前記フォーク (FORK) 箇所決定処理が、現在処理対象としている中間プログラム中の基本ブロックから、該基本ブロック末尾にある条件分岐命令の分岐先

基本ブロック各々へのメモリを介したデータ依存関係を調査し、該調査したデータ依存関係と、前記プロファイル情報から得た条件分岐確率とを総合した結果、当該条件分岐での分岐先基本ブロック各々に関して、分岐確率の間に定められた以上の差異がなく、且つ、メモリを介したデータ依存発生時期の早遅にも定められた以上の差異がない場合に、当該条件分岐部分を並列化しないように決定する、処理を含み、前記処理を前記コンピュータで実行するためのプログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の機械命令を同時に実行できるマルチスレッド型マイクロプロセッサのためのプログラム変換技術に関し、特に、小さな粒度でも実行効率の高い並列プログラムを生成するためのプログラム変換技術に関する。

【0002】

【従来の技術】

情報処理装置において、プログラムの実行性能を高めるための一技法として、従来より、プログラムを複数の命令流即ちスレッドに分割し、それらのスレッドを並列実行するマルチスレッド実行技術が採用されている。

【0003】

それぞれに実行ユニットを有する複数のプロセッサエレメント（プロセッサ要素）を密に結合したマルチスレッドマイクロプロセッサは、スレッドの生成、同期等の処理を低コストで行えるという特徴を備えており、逐次性が高くスレッド粒度（スレッドのサイズ）が小さいプログラムに対しても、十分な並列処理効果を出すことができる。

【0004】

このようなマルチスレッドマイクロプロセッサのアーキテクチャとして、

・文献1（「On-Chip Microprocessor 指向制御並列アーキテクチャMUSCATの提案」（鳥居他、並列処理シンポジウムJSPP97 論文集、情報処理学会、第229-236頁、May 1997））、

・文献2（「オンチップ制御並列プロセッサMUSCATの提案」（鳥居他、情報処理学会論文誌、Vol. 39、No. 6、June 1998））、

・文献3（特開平10-78880号公報）

等に示されたアーキテクチャが知られている。

【0005】

まず、前記文献2に記載されているMUSCATアーキテクチャについて説明する。MUSCATは、複数のプロセッサエレメントを1チップに集積し、「制御並列」と呼ぶマルチスレッド処理を効率良く実行するアーキテクチャである。各プロセッサエレメントは、それぞれ独立した演算器と独立したレジスタセットを持つ。他方、各プロセッサエレメントはメモリ空間を共有する。

【0006】

MUSCATにおける制御並列実行方式について説明する。図18に示すように、MUSCATアーキテクチャのプロセッサは、スレッド生成のためのFORK（フォーク）命令を持ち、この機械命令1つで、隣接プロセッサエレメントに新しいスレッドを生成することができる。

【0007】

MUSCATは、1つのスレッドがFORK命令を実行できる回数を高々1回に制限する「FORK1回モデル」を採用している。各プロセッサエレメントは、単方向のリング状に結合され、あるプロセッサエレメントで実行中のスレッドがFORK命令を実行すると、下流側に隣接するプロセッサエレメントに新しいスレッドが生成される。スレッドがTERM（ターム）命令（スレッド終了命令）を実行すると、自スレッドが終了する。

【0008】

プロセッサエレメント間のデータのやりとりは、レジスタまたはメモリを通じて行われる。FORK命令を実行すると、当該スレッド（「親スレッド」と呼ぶ）を実行しているプロセッサエレメントのレジスタセットの内容が、生成された新スレッド（「子スレッド」と呼ぶ）を実行するプロセッサエレメントのレジスタセットに論理的にコピーされる。また、親スレッドがFORK命令実行前にメモリにストアした値は、子スレッドがロードして参照することができる。

【 0 0 0 9 】

親スレッドが子スレッドを生成した後、親スレッドが子スレッドにデータを渡す唯一の方法は、メモリを介してデータを渡す、というものである。この場合、親スレッドのストアと子スレッドのロードの実行順序を正しいものにするために、一種の同期をとる必要がある。この同期のための措置を、「データ依存保証」と呼ぶ。

【 0 0 1 0 】

MUSCATは、上記データ依存保証のための方式として、

- ・ 予め同期を明示的に宣言するBLOCK方式、
 - ・ 同期無しで実行して、もし同期に失敗したら実行をやり直すDSP方式、
- の2種類のデータ依存保証方式を備える。

【 0 0 1 1 】

図19は、BLOCK方式の動作を説明する図である。BLOCK方式によるデータ依存保証方式は、MUSCATが備えるBLOCK（ブロック）命令と、RELEASE（リリース）命令を用いる方式である。

【 0 0 1 2 】

親スレッドは、ストア対象メモリアドレスをBLOCK命令で指定してからFORK命令を実行し、メモリストアを行う。その後、親スレッドは、RELEASE命令を実行して、当該メモリアドレスにデータが準備できたことを表明する。親スレッドがBLOCKしたアドレスからのロードを子スレッドが実行しようとする、と親スレッドがRELEASE命令を実行するまで、子スレッドのロード命令は完了しない。このようにして、親スレッドがメモリに書き込んだ値（メモリにストアした値）を、子スレッドが正しく読み出す（メモリからロードする）ことができる。他のデータ依存保証方式であるDSP方式は、投機実行方式の一つであり、詳細は後述する。

【 0 0 1 3 】

次に、図20を参照して、MUSCATアーキテクチャの投機実行機能について説明する。MUSCATのSPFORK命令はFORK命令の一種であり、制御投機モードのスレッド生成を指示する。SPFORK命令で生成された子スレ

ッドは、いつでも実行を取り消せる状態で実行される。即ち、レジスタ値の変更は許されるが、外部メモリへのアクセスは抑止される。

【0014】

図20(A)に示すように、親スレッドがTHFIX命令(スレッド確定命令)を実行すると、子スレッドの制御投機モードは解除され、内部で溜っていたメモリ変更操作が実際にメモリに反映される。

【0015】

しかしながら、図20(B)に示すように、親スレッドがTHABORT命令(スレッド破棄命令)を実行すると、子スレッドは破棄され、レジスタやメモリに対して行おうとした変更は全て捨てられる。なお、親スレッドがTHFIX命令、又はTHABORT命令を実行する前に、TERM命令により終了すると、子スレッドの制御投機モードは解除される。

【0016】

制御投機モードのスレッドは、結果的に実行することになる可能性が高いが、現時点では実行してもよいか否か判断がつかない場合等に用いられる。即ち、プログラム内の早い段階で制御投機モードスレッドを生成して並列に処理を行い、後になって生成したスレッドでの処理を本当に行うかどうかを判定してスレッドの確定ないし破棄を行う。

【0017】

上記した制御投機モードFORKは、制御の流れを予測し、投機的にスレッド生成するものであるが、これとは独立に、MUSCATには、データ依存を予測し、投機的にスレッドを実行する機能が用意されている。このようなスレッド状態は、「データ依存投機モード」と呼ばれる。

【0018】

データ依存投機モードを用いる場合、親スレッドは、BLOCK命令やRELEASE命令を用いる必要はない。ハードウェアアーキテクチャが、実行時に親子スレッド間のメモリデータ依存(親スレッドのメモリへのストアと子スレッドのメモリからのロードの時間順序)を検査し、子スレッドが誤った値をロードした場合には、子スレッドを再実行させる。

【 0 0 1 9 】

前述の B L O C K 方式と並ぶ、もう一つのデータ依存保証方式である D S P 方式は、このデータ依存投機モードを利用する方式である。

【 0 0 2 0 】

図 2 1 を参照すると、親スレッドは、データ依存投機モードで F O R K することを意味する D S P I N 命令を実行した後で、F O R K を行う。これによって生成された子スレッドは、データ依存投機モードで実行を開始する。その後、親スレッドが D S P O U T 命令を実行すると、子スレッドはデータ依存投機モードから非データ依存投機モードに戻る。

【 0 0 2 1 】

データ依存投機モードは、B L O C K / R E L E A S E 命令が不要であり、データ依存を引き起こすメモリアドレスが事前に分かっている場合でも、F O R K を行える、という長所がある。しかしながら、もし、F O R K 後にデータ依存が発生すると、子スレッドは誤ったデータに基づいた部分の実行をやり直すことになる、という短所をもつ。

【 0 0 2 2 】

従って、プログラムに内在するデータ依存の状況によって、B L O C K 方式あるいは D S P 方式のうち、適切な方式を選択すべきである。

【 0 0 2 3 】

これまで述べた F O R K 命令や、データ依存保証方式等の制御並列サポート命令により、M U S C A T アーキテクチャでは、プログラムから並列実行可能な部分をより多く抽出し、プログラムの実行性能を向上させることができる。

【 0 0 2 4 】

このような M U S C A T アーキテクチャ向けのプログラムは、F O R K (フォーク) を行う箇所毎に、前述の命令を用いたコーディングを行わねばならず、このため、高級言語 (高水準プログラミング言語) から機械命令列を自動生成するコンパイラが、従来型のアーキテクチャよりも、一層強く求められる。

【 0 0 2 5 】

M U S C A T アーキテクチャ向けコンパイラ技術は、文献 4 (「制御並列アー

キテクチャ向け自動並列化コンパイル手法」(酒井他、情報処理学会論文誌、V o l . 4 0、N o . 5、M a y 1 9 9 9))において開示されている。この文献4に示された技術の概要を以下に説明する。

【0026】

前記文献4には、通常の逐次コンパイラが生成した機械命令列を、MUSCAT向け命令列に変換するトランスレータの仕組みが記載されている。与えられた機械命令列に対して、制御フロー解析及びデータフロー解析を行い、基本ブロック毎にFORK命令を用いた並列化を試みる。ここで、「基本ブロック」とは、途中で制御の分岐や合流が無い、一続きの命令列のことをいう。

【0027】

基本ブロック毎の並列化は、まず、基本ブロック末尾の分岐命令を、制御投機モードFORK命令(SPFORK命令)に置き換えることから始まる。これは、ある基本ブロックに後続する複数の基本ブロックの一方を、当該基本ブロックと並列に実行しようとすることを意味する。後続基本ブロックのうちいずれを選択するかは、前記文献4では、ループ構造の場合は、ループの戻り方向がよいとされている他、プロファイル情報を用いて分岐確率の高い方を選択することが示されている。

【0028】

次に、当該基本ブロックと、FORK先基本ブロック以降との間でのレジスタ、及びメモリアクセスによるデータ依存を調査する。

【0029】

そして、当該基本ブロック内で、FORK命令ができるだけ上流に位置するように、基本ブロック内で命令の並べ換えを行う。命令並べ換えに際しては、データ依存関係に留意し、レジスタを介して正依存がある場合には、その命令をFORK命令よりも上流側に配置する。メモリを介して正依存がある場合には、DSPIN命令ないし依存メモリアドレスを引数としたBLOCK命令を、FORK命令の直前に新たに挿入する。

【0030】

両者の使い分けについて、前記文献4では、依存をひき起こすメモリアドレス

がストア直前まで決定できない場合、及び、依存をひき起こすメモリアドレスが決定できた場合でもメモリアドレス値がある数より多い場合には、DSPIN命令、それ以外の場合には、BLOCK命令を用いるものとされている。なお、前記文献4では、この他にも、MUSCAT特有の命令生成手順が述べられているが、本発明の主題とは直接の関連性は薄いため、ここでは、あらためて説明は行わない。

【0031】

【発明が解決しようとする課題】

ところで、上記した従来技術は、下記記載の問題点を有している。

【0032】

第1の問題点は、FORK先を選択する基準に、まだ改良の余地がある、ことである。

【0033】

上記した従来技術では、静的にはループ構造の把握、動的には実行履歴のプロファイル情報を得て、それに基づいてFORK先を決定している。しかしながら、これらは、制御の流れ上、実行される確率が高い部分をFORKしているにすぎず、データ依存性については、考慮されていない。このため、過度のデータ依存が存在する部分をマルチスレッド実行しようとしても、並列実行区間が短くなったり、あるいはデータ依存箇所で待ち合わせが起こるため、結果として、得られる性能向上は、小さなものになってしまう、という問題がある。

【0034】

第2の問題点は、データ依存対処手順がレジスタとメモリとで異なっている、ということである。

【0035】

前記文献4等に記載されている手順では、レジスタを介した依存と、メモリを介した依存とで、命令の並べ換えや、新規挿入命令の処理が異なっている。しかしながら、コンパイラ内部では、「中間項」と呼ばれる仮想的な変数を用いた表現が用いられることが一般に行われており、その段階で、レジスタかメモリかの判断に基づく並列化処理を行うことは困難である。

【 0 0 3 6 】

他方、一般的なコンパイラ内部でも、最終段近くになれば、レジスタ割り当てが済み、レジスタとメモリの区別が確定しているが、この段階で並列化を行おうとすると、既に、最適化された制御フローやデータフローに悪影響を与えないように、プログラム構造を変更する処理が困難になる。

【 0 0 3 7 】

したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、コンパイラ内部の中間項レベルでの確な判断により並列化処理を行えるようにし、もってマルチスレッドマイクロプロセッサ向けプログラム変換装置及び方法並びに記録媒体を提供することである。

【 0 0 3 8 】

本発明の他の目的は、並列実行時により一層の並列性能を引き出すような目的コードを生成できるプログラム変換装置（コンパイラ）及び方法並びに記録媒体を提供することにある。これ以外の本発明の目的、特徴、利点等は、下記の実施の形態の記載等から、当業者には直ちに明らかとされるであろう。

【 0 0 3 9 】

【課題を解決するための手段】

前記目的を達成する本発明の第1のプログラム変換装置は、中間プログラム上でレジスタ割り当てを試行して割り当て情報を先行取得するレジスタ割り当てを試行部と、メモリを介して発生するデータ依存の距離の計算部と、を備え、メモリを介するデータ依存の距離を考慮してFORK先を決定し、条件分岐をFORK命令に置き換え、レジスタ割り当て試行結果を参照して、中間プログラム上で、FORK命令前後の命令並べ換えを行う。

【 0 0 4 0 】

また、本発明の第2のプログラム変換装置は、前記第1のプログラム変換装置に加えて、プロファイル情報から条件分岐確率及びデータ依存発生頻度を計算する部分とを備え、データ依存の距離と条件分岐確率とデータ依存発生頻度とデータ依存メモリ箇所数からFORK先を決定し、条件分岐をFORK命令に置き換え、レジスタ割り当て試行結果を参照して中間プログラム上でFORK命令前後

の命令並べ換えを行う。

【 0 0 4 1 】

本発明の並列化方法は、原始プログラムをコンパイルしてマルチスレッド型のターゲットプロセッサ装置向けの目的プログラムを生成出力するコンパイラにおける、構文解析の結果出力される中間プログラムに対して並列化を含む最適化処理を行う方法であって、

(a) 並列化に先立ってレジスタ割り当てを試み、中間プログラム上の各変数、及び中間項のレジスタ割り当て状況を予測するレジスタ割り当て試行ステップと、

(b) 前記レジスタ割り当て試行結果に基づいて、前記中間プログラムにおける条件分岐部分をスレッド生成命令を用いた並列コードに変換するか否かの決定を行うか、もしくは、並列コードに変換するか否かの決定と並列コードに変換する場合その並列実行方式の決定を行うフォーク (F O R K) 箇所決定ステップと、

(c) 前記フォーク (F O R K) 箇所決定部での決定結果に基づいて、前記中間プログラム中の条件分岐部分を、スレッド生成命令を用いた並列コードに変換し、前記レジスタ割り当て試行結果を参照して、スレッド間のメモリを介したデータ依存関係を保証する命令を、前記スレッド生成命令の前後に挿入すると共に、スレッド生成が早い段階で行われるように、前記スレッド生成命令の前後の命令を並べ換える命令並べ換えステップと、

(d) 並列化され並べ換えられた命令列に対して、物理レジスタが割り当てられるか否かに関して、前記レジスタ割り当ての試行時と同じ割り当て結果となるように確定的なレジスタ割り当てを行うレジスタ割り当てステップと、

を含む。

【 0 0 4 2 】

本発明において、ターゲットプロセッサ装置は、好ましくは、複数のプログラムカウンタと、複数のスレッド実行装置と、を備え、前記複数のスレッド実行装置は、前記複数のプログラムカウンタに従って、複数のスレッドの命令を、同時に、フェッチ、解釈、実行し、

スレッド生成時以降に、レジスタセットに及ぼした変更を、後に取り消し可能な制御投機的モードでスレッドを実行すること、及び、

自スレッドがメモリ領域から値をロードした後に、自スレッドを生成した親スレッドが同一メモリ領域に値をストアした場合に、自スレッドの少なくとも当該ロード以降の処理結果を破棄し、それらの処理を再実行するデータ依存投機的モードでスレッドを実行すること、が可能とされ、

命令セットとして、

- ・前記スレッド実行装置で実行中のスレッドが制御投機的モードの新たなスレッドを生成すること、

- ・指定された条件が成立していれば自スレッドを終了させると共に、自スレッドが生成した制御投機的モードのスレッドの制御投機的モードを解除すること、

- ・生成した制御投機的モードのスレッドを破棄すること、

- ・自スレッドが生成するスレッドが指定されたアドレスのメモリ領域からのロードを行う際に、その動作を一時停止させることをあらかじめ指示すること、

- ・指定されたメモリアドレスに対する前記ロード一時停止指示を解除すること

- ・前記スレッド実行装置で実行中のスレッドがデータ依存投機的モードの新たなスレッドを生成すること、及び、

- ・自スレッドが生成したデータ依存投機的モードのスレッドのデータ依存投機的モードを解除すること、

が、単一又は高々数個の機械語命令の組合せで実行できる命令セットを有するマルチスレッドプロセッサよりなる。

【 0 0 4 3 】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

【 0 0 4 4 】

〔実施の形態 1〕

図 1 は、本発明の一実施の形態の構成の一例を示す図である。図 1 を参照すると、プログラム変換装置（コンパイラ） 2 は、原始プログラム（ソースプログラ

ム) 1 を読み込んで並列化を含むコンパイル処理を行い、その結果の目的プログラム (ターゲットプログラム) 3 を出力する。

【 0 0 4 5 】

目的プログラム実行装置 4 は、目的プログラム 3 を入力して、目的アーキテクチャの命令実行を行うと共に、当該プログラムの実行情報を収集し、プロファイル情報ファイル 5 を出力する。

【 0 0 4 6 】

図 1 を参照すると、プログラム変換装置 2 は、

- ・ 入力した原始プログラム 1 の文法 (シンタックス) を解釈して、構文解析し中間プログラムを生成する構文解析装置 1 0 と、
 - ・ 構文解析装置 1 0 から受け取った中間プログラムに対して並列化を含む最適化処理を行う並列化装置 1 1 と、
 - ・ 並列化装置 1 1 から受け取った最適化済みの中間プログラムから目的アーキテクチャ用命令列を生成するコード生成装置 1 2 と、
- を備えている。

【 0 0 4 7 】

並列化装置 1 1 は、補助情報として、プロファイル情報ファイル 5 を入力としてより高度な最適化処理を行うことができる。

【 0 0 4 8 】

なお、本発明において、構文解析装置 1 0 は、周知の構成が用いられ、例えば字句解析 (レキシカルアナリシス)、構文解析 (パージング)、意味解析 (セマンティックアナリシス) の各解析部からなる構成としてもよいことは勿論である。また最適化済みの中間プログラムから目的アーキテクチャ用命令列を生成するコード生成装置 1 2 も、周知のものが用いられる。

【 0 0 4 9 】

図 2 は、本発明の一実施の形態のプログラム変換装置 2 における並列化装置 1 1 の構成を示す図である。図 1 及び図 2 を参照して、本発明の要部をなす並列化装置 1 1 について詳細に説明する。

【 0 0 5 0 】

並列化装置 1 1 は、構文解析装置 1 0 が生成した中間プログラム 6 を受け取り、並列化を含む最適化処理を行い、後段のコード生成装置 1 2 に中間プログラム 7 を渡す。

【 0 0 5 1 】

並列化装置 1 1 は、

- ・入力となる中間プログラム 6 を読み込んで制御フローやデータフローを解析する中間プログラム入力部 2 0 と、
 - ・制御フロー、データフロー及びプロファイル情報をもとに並列化する箇所を決定する F O R K 箇所決定部 2 1 と、
 - ・中間プログラム上の中間項に対してレジスタ割り当てを試行するか、あるいは実行するレジスタ割り当て部 2 2 と、
 - ・決定された並列化箇所とデータフロー等の情報から並列化箇所前後の命令の並べ換えを行う命令並べ換え部 2 3 と、
 - ・並列化を含む様々な変換を終えた命令列を再度中間プログラム形式で出力する中間プログラム出力部 2 4 と、
 - ・一度目的プログラムを実行して得たプロファイル情報ファイル 5 を入力して内部形式に変換するプロファイル情報入力部 2 5 と、
- を備えている。

【 0 0 5 2 】

次に、図 3、図 4、及び図 5 のフローチャートを参照して、本発明の一実施の形態の並列化動作について、詳細に説明する。

【 0 0 5 3 】

本発明の一実施の形態においては、中間プログラム上で、次の制御並列関連命令が記述できる。

【 0 0 5 4 】

(1) 制御投機 F O R K 命令：

制御投機 F O R K 命令は、オペランドで指し示された命令から実行を開始する制御投機モードの子スレッドを生成し、自スレッドは後続命令の実行を続ける命令である。

【 0 0 5 5 】

(2) スレッド終了命令 :

スレッド終了命令は、自スレッドを終了させるとともに子スレッドを確定モードに移行させる命令である。

【 0 0 5 6 】

(3) 子スレッド破棄命令 :

子スレッド破棄命令は、制御投機モードの子スレッドを破棄する命令である。

【 0 0 5 7 】

(4) ブロック設定命令 :

ブロック設定命令は、オペランドで指し示されたメモリアドレスにブロックを設定し、それによって子スレッドが当該メモリアドレスからのロードを実行しようとした際に子スレッドの実行を一時停止（ブロック）させるように、プロセッサに指示する命令である。

【 0 0 5 8 】

(5) ブロック解除命令 :

ブロック解除命令は、オペランドで指し示されたメモリアドレスに設定されているブロックを解除するとともに、当該メモリアドレスからのロードで一時停止（ブロック）されている子スレッドの実行を再開させるように、プロセッサに指示する命令である。

【 0 0 5 9 】

(6) レジスタ割り当て指示命令 :

レジスタ割り当て指示命令は、オペランドで指定した中間項ないし変数に物理レジスタを割り当てるように、あるいは逆に、指定した中間項ないし変数にメモリ上の領域を割り当てるように、レジスタ割り当て部に指示する命令である。

【 0 0 6 0 】

図 3 は、本発明の一実施の形態の F O R K 箇所決定部 2 1 の動作概要を示す図である。F O R K 箇所決定部 2 1 は、与えられた中間プログラム中の各関数単位で、図 3 に示された動作を行う。即ち、

・ステップ 2 5 にて、当該関数内でレジスタ割り当てを試行し、その後、

・ステップ 2 6 にて、当該関数内に含まれる各条件分岐命令に対して F O R K 箇所決定処理を行う。

【 0 0 6 1 】

このステップ 2 6 の段階では、並列化を含む各種最適化処理は未完了であり、まだ確定的なレジスタ割り当て処理を行う段階ではない。そこで、レジスタ割り当ての途中までを実行し、中間プログラム中のどの中間項／変数にレジスタが割り当てられ、どの中間項／変数がメモリ上に配置されるのか、という情報を得た段階で、実際に割り当ては行わずにレジスタ割り当て処理を中止する。

【 0 0 6 2 】

レジスタ割り当ての試行は、後述するように、レジスタ割り当て部 2 2（図 2 参照）で行う。レジスタ割り当て部 2 2 は、どの中間項／変数に、どのレジスタを割り当てるかを決めた段階で処理を終え、中間項／変数を実際のレジスタに置き換えることなく、レジスタ割り当て状況のみを返す仕組み（機構）を備える。

【 0 0 6 3 】

図 4 は、各条件分岐命令に対する F O R K 箇所決定部 2 1 の処理（図 3 のステップ 2 6）の詳細を示す図である。

【 0 0 6 4 】

図 4 を参照すると、ステップ 3 1 では、当該条件分岐命令が、入力中間プログラム中のループ構造（繰り返し構造）の戻り枝に相当する分岐命令か否かを判定する。ループ構造の検出方法については、例えば、文献 5（「コンパイラ I I 原理・技法・ツール」、A. V. エイホ他著、原田賢一訳、サイエンス社、1 9 9 0）の第 7 3 4 頁～第 7 3 7 頁の記載が参照される。

【 0 0 6 5 】

ステップ 3 1 の判定で、当該条件分岐命令が、ループ戻り枝に相当する分岐命令である場合、ステップ 3 5 にて、当該戻り枝方向、即ちループ継続方向を F O R K 先として、この条件分岐箇所を、F O R K 箇所を選定する。その理由は、一般に、ループ構造は、複数回繰り返し実行される傾向にあるため、ループ戻り枝に相当する分岐命令では、戻り枝側に分岐する確率が高い、からである。

【 0 0 6 6 】

ステップ31において、戻り枝分岐ではない場合、ステップ32において、条件分岐の2つの分岐先の各々に対してデータ依存の距離の最小値を計算する。

【0067】

ここで、「データ依存の距離」とは、現在、処理対象としている基本ブロック内で定義され、その分岐先で参照される可能性がある中間項及び変数のうち、ステップ26により、メモリ上に配置されると見込まれる、中間項／変数各々に対して、その分岐先基本ブロックの中で、該メモリ参照命令が先頭から、どれぐらの位置にあるかを、中間プログラム中のステップ数で表したものである。

【0068】

ステップ32では、2つの分岐先について、各中間項／変数のデータ依存の距離の最小値を計算する。

【0069】

次のステップ33では、ステップ32で条件分岐の両側に関して求めた2つのデータ依存の距離の最小値を比較し、両者に一定以上の差があるか否かを判定する。

【0070】

ステップ33において、一定以上の差がある場合、ステップ36にて、データ依存の距離の最小値の大きい側の分岐方向をFORK先とし、この条件分岐箇所を、FORK箇所に選定する。その理由は、ここで選定した分岐方向を新スレッドとしてFORKする方がもう一方をFORKする場合に比べ、FORK直後に、データ依存で停止してしまう可能性が低い、からである。

【0071】

ステップ32で、データ依存の距離を求める際、単純な命令ステップ数ではなく、各命令が目的アーキテクチャのプロセッサ上で実行される際に要するものと推定されるサイクル数（クロックサイクル等）を用いることもできる。これにより、データ依存が発生する時期の遅い方を選択する、という、上記ステップ33の選択がよりの確なものになる。

【0072】

ステップ34では、その直前のステップ33で、データ依存の距離の最小値に

一定以上の差がない場合、元の間中プログラム内で分岐先であった側（分岐命令の `t a k e n` 側（分岐成立側））を `F O R K` 先とし、この条件分岐箇所を、`F O R K` 候補に選定する。この `F O R K` 先の選定は、従来の技術として挙げた上記文献等に表示されているものと同じ理由による。

【 0 0 7 3 】

以上のようにして、`F O R K` 箇所決定部 2 1 は、`F O R K` 箇所と、`F O R K` 先を決定する。

【 0 0 7 4 】

本発明の一実施の形態では、図 4 に詳細を示した、`F O R K` 箇所決定部 2 1 の処理によって、通常は、最適化の最終段で行うレジスタ割り当て処理を待たずに、レジスタ割り当て情報を参照して中間プログラム上で並列化処理を行うことが可能となる。

【 0 0 7 5 】

また、本発明の一実施の形態においては、図 4 のステップ 3 2、ステップ 3 3 の処理を設けることで、ループ構造以外の部分での性能向上の可能性が高まる。

【 0 0 7 6 】

図 5 は、本発明の一実施の形態の並列化装置 1 1 の命令並べ換え部 2 3 の動作を説明するための流れ図である。また、図 6 は、命令並べ換え部 2 3 の命令並べ換え処理の説明を補足する図である。以下、図 5 及び図 6 を参照しながら、命令並べ換え部 2 3 の動作を説明する。

【 0 0 7 7 】

図 5 を参照すると、命令並べ換え部 2 3 は、`F O R K` 箇所決定部 2 1 が決定した `F O R K` 箇所を含む基本ブロック毎に、ステップ 4 0 からステップ 4 4 の一連の処理を行う。なお、ステップ 4 0 からステップ 4 4 の処理は、すべて中間プログラムに対して行う。これらのステップの説明に現れる命令は、すべて中間プログラム上の対応する命令を指す。

【 0 0 7 8 】

図 6 (A) は、命令並べ換え部 2 3 が処理対象とする基本ブロックの構造を模式的に示した図である。図 6 (A) における「`M := …`」はメモリへのストアを

行う命令を意味する。

【0079】

まず、図5のステップ40にて、中間プログラム中の各中間項及び変数がレジスタに対応付けられるかメモリに対応付けられるかを調べる。これは、図4のステップ32と同様に、レジスタ割り当てを途中まで試行することで判定する。ステップ32からこのステップ40までの処理では、FORK先を決定するのみで、中間プログラム自体は変更されず、レジスタ割り当て状況に差が出ないので、ステップ32のときのレジスタ割り当て試行結果を保存しておき、その情報をステップ40で参照するのがよい。

【0080】

次のステップ41では、現在処理対象としている基本ブロックの末尾にある分岐命令を、制御投機モードFORK命令に置換（変換）する。制御投機FORK命令のオペランド、即ちFORK先は、FORK箇所決定部21が選択したFORK先とする。図6（B）は、ステップ41までの処理を終えた段階の基本ブロック構造を示す図である。

【0081】

ステップ42では、中間プログラム中で、制御投機FORK命令の直前にある分岐条件計算文（分岐条件式）を、制御投機FORK命令直後に移動させると共に、その移動先の直後、即ち当該基本ブロックの末尾に、

「分岐条件成立時には自スレッドを終了させて子スレッドを確定モード（非制御投機モード）に移行させ、分岐条件非成立時には、子スレッドを破棄（アボート）させて自スレッドが後続命令列の実行を続ける」

というような一群の命令列を挿入する。図6（C）は、ステップ42までの処理を終えた段階の基本ブロック構造を示す図である。

【0082】

ステップ43では、現在処理対象としている基本ブロックにおいて、FORK命令よりも手前、即ち、上流側にある文のうち、ステップ40において、メモリに対応付けられた中間項及び変数への代入となる文の各々について、その代入文を、FORK命令よりも後方、即ち、下流側へ移動させると共に、FORK命令

の直前に、ブロック設定命令を挿入し、代入文（:=）の移動先の直後に、ブロック解除命令を挿入する。ここで、挿入するブロック設定命令、及びブロック解除命令のオペランドは、移動させた代入文の代入先中間項／変数を表すメモリアドレスとする。

【 0 0 8 3 】

中間プログラムの形態によっては、この段階で、具体的なメモリアドレスが確定していない場合があるが、その場合は、中間プログラム中での中間項／変数表現と同様の形式を用いてブロック設定命令及びブロック解除命令を表現し、後に、中間プログラムからコード生成を行う際に実効メモリアドレスを示す命令列に変換すればよい。

【 0 0 8 4 】

ステップ 4 3 では、ステップ 4 0 にてレジスタに対応付けられた中間項及び変数への代入となる文のうち、F O R K 先で参照される可能性がある中間項／変数への代入となる文は、F O R K 命令後に移動させてはならない。その理由は、レジスタの値は F O R K 時点で子スレッドに継承されるため、F O R K 後に親スレッドが定義したレジスタ値は子スレッド側に渡されないためである。

【 0 0 8 5 】

このように、必ずしも全ての文を F O R K 命令後に移動できるわけではないため、ステップ 4 3 において、メモリへの代入文を F O R K 後に移動させる際には、移動させようとしている文と、その後続命令との間のデータ依存関係を調べ、移動によって実行順序が入れ替わっても、移動前と同じ演算結果が得られる場合に限り移動を行わなければならない。

【 0 0 8 6 】

なお、このとき必要となるデータ依存関係は、コンパイラ技術として一般的なものでよく、本発明の一実施の形態では、図 2 における中間プログラム入力部 2 0 が作成した制御フロー及びデータフロー解析結果を基に、調査して得ることができる。

【 0 0 8 7 】

図 6 (D) は、ステップ 4 3 までの処理を終えた段階の基本ブロック構造を示

す図である。

【 0 0 8 8 】

図 5 のステップ 4 4 では、これまでのステップで各中間項及び変数のレジスタ割り当てについて仮定した情報を、現在処理対象の基本ブロックの先頭に挿入する。この情報は、実際の機械命令に対応するものではないので、中間プログラム上の疑似命令であるレジスタ割り当て指示命令を用いて記述する。

【 0 0 8 9 】

図 6 (E) は、上記ステップ 4 4 までの処理を終えた段階の基本ブロック構造を示す図である。

【 0 0 9 0 】

本発明の一実施の形態において、ステップ 4 0 及びステップ 4 4 を具備することを特徴の一つとしている。即ち、

- ・ステップ 4 1 の F O R K 変換処理に先立って、レジスタ割り当て状況を調べるステップ 4 0 と、

- ・ステップ 4 1 の F O R K 変換処理で仮定したレジスタ割り当て状況を、レジスタ割り当て部 2 2 に指示するステップ 4 4 と、

を有しており、このため、中間項及び原始プログラム中の変数表現を用いた中間プログラムに対しても、詳細な命令並べ換えを行うことができる。

【 0 0 9 1 】

なお、ステップ 4 1 からステップ 4 3 の処理は、上記文献 4 (「制御並列アーキテクチャ向け自動並列化コンパイル手法」 (酒井他、情報処理学会論文誌、V o l . 4 0 、 N o . 5 、 M a y 1 9 9 9)) の第 2 0 4 9 頁～第 2 0 5 0 頁に記載されているものと同様のものである。

【 0 0 9 2 】

図 2 に戻ると、レジスタ割り当て部 2 2 は、中間プログラム中の中間項に、目的アーキテクチャが有する物理レジスタあるいはメモリ上に割り当てられた領域を対応付けるレジスタ割り当て処理を行う。

【 0 0 9 3 】

レジスタ割り当ての基本的な方法としては、中間項の使用頻度の高いものから

割り当てる方法や干渉グラフの彩色（カラーリング）による割り当て方法などを用いることができる。これらの割り当て方法は、例えば上記文献5（「コンパイラⅡ 原理・技法・ツール」、A. V. エイホ他著、原田賢一訳、サイエンス社、1990」）の第659頁～第665頁の記載が参照される。

【0094】

レジスタ割り当て部22におけるレジスタ割り当て処理は、図5のステップ44で挿入したレジスタ割り当て指示命令に従う点で、通常のコンパイラでのレジスタ割り当て処理とは異なる。レジスタ割り当て方法として、例えば中間項使用頻度順のレジスタ割り当て方法を採用する場合は、レジスタ割り当て指示命令でレジスタに乘せるよう指定された各中間項の頻度を、他の中間項よりも高く設定することで、指示された中間項が物理レジスタに割り当てられる可能性を高める。

【0095】

また、レジスタ割り当て方法として、カラーリングによる方法を採用する場合は、干渉グラフ中で割り当て可能な物理レジスタ総数を越える隣接節点数を持つ節点に対応する中間項の中からメモリ上に割り付ける中間項をいくつか選択する際、図5のステップ44で挿入したレジスタ割り当て指示命令でレジスタに乘せるように、指示されていない中間項を優先的に選択することで、レジスタ割り当て指示された中間項が物理レジスタに割り当てられる可能性を高める。

【0096】

レジスタ割り当て部22にて、もし、レジスタ割り当て指示命令でレジスタに乘せるように指示された全ての中間項に物理レジスタを割り付けられなかった場合、それらの中間項は、メモリ領域に割り当てられるようにする。その理由は、命令並べ換え部23によって、レジスタ割り当てを前提としている中間項はFOR命令より手前（上流側）で値が確定するようにプログラムが変換されているため、それらの中間項が、たとえメモリ上に割り当てられたとしてもプログラムの実行結果は、変化しないからである。

【0097】

逆に、レジスタ割り当て部22は、レジスタ割り当て指示命令でレジスタに乘せるよう指示されていない中間項をレジスタに割り当てないように、レジスタ割

り当て処理を行う。これは、従来からのレジスタ割り当て処理における、アドレスを参照されている変数や、`volatile`変数等のレジスタ上に配置できない変数に対する処理と同様の枠組で対処できる。

【0098】

【実施例】

次に、上記した本発明の一実施の形態の動作についてさらに詳細に説明すべく、具体的な実施例を用いて説明する。

【0099】

〔実施例1〕

図8は、本発明の一実施例として、並列化装置11によって並列化される中間プログラムの一例を示す図である。ここで`t1`～`t28`は中間項であり、`I`、`J`、`K`、`R`、`X`は原始プログラム中で宣言された変数である。

【0100】

「`:=`」は、右辺の値を左辺で示す場所に格納することを意味する。

【0101】

「`&`」は、変数の置かれるメモリアドレスを返す前置演算子である。

【0102】

「`mem(a)`」は、`a`の値をアドレスとするメモリの内容を示し、「`:=`」の右辺ならメモリロード、左辺ならメモリストアを意味する。

【0103】

`L1`、`L2`、`L3`はラベルである。

【0104】

図8の左端(の列)に示されている括弧付きの数字(1)～(37)は、説明の都合により付した番号であり、右端の(`B1`)～(`B3`)は基本ブロック番号を示す。

【0105】

図7は、本実施例の動作の説明をする際に用いる中間プログラム上の制御並列関連命令一覧を示す図である。

【0106】

・ S P F O R K 1 は、オペランド 1 から実行開始する投機（制御）モード子スレッドを生成する。

・ T T E R M c は、オペランド c が真の場合、自スレッドを終了し、子スレッドを確定する。

・ F T E R M c は、オペランド c が偽の場合、自スレッドを終了し、子スレッドを確定する。

・ T H A B O R T は、投機モードの子スレッドを破棄する。

・ B L O C K m は、オペランド m で指定したメモリアドレスをブロック指定する。

・ R E L E A S E m は、オペランド m で指定したメモリアドレスに設定したブロックを解除する。

・ D S P I N は、後続の F O R K で生成した子スレッドをデータ依存投機モードで生成する。

・ D S P O U T は、子スレッドのデータ依存投機モードを解除する。

R D C L t 1, … は、オペランド t 1, … で指定した中間項／変数をレジスタに割り当てるように指示する。

M D C L t 1, … は、オペランド t 1, … で指定した中間項／変数をメモリに割り当てるように指示する。

【 0 1 0 7 】

図 2 を参照すると、F O R K 箇所決定部 2 1 が、図 8 に示された中間プログラムを受け取り、F O R K 箇所の決定を行う。

【 0 1 0 8 】

図 3 のステップ 2 5 にて、レジスタ割り当てが試行され、t 1 ～ t 2 8 の全ての中間項、及び変数 I、K、R には物理レジスタが割り当てられたが、変数 J、X には、メモリ上の領域が割り当てられた、という試行結果を得たとする。

【 0 1 0 9 】

図 3 のステップ 2 6 では、条件分岐命令を含む基本ブロック（B 1）が並列化変換の対象となる。以下、図 4 を参照して、F O R K 箇所決定処理部 2 7 の動作を説明する。

【0110】

ステップ31で、ループ構造チェックを行うが、図8の(11)の条件分岐は、ループ戻り枝ではないため、ステップ32に進む。

【0111】

ステップ32では、図8の基本ブロック(B1)と(B2)、(B1)と(B3)の間でのデータ依存の距離を求める。

【0112】

まず(B1) - (B2)間のデータ依存を見てみると、(B1)の(7)におけるメモリストアと、(B2)の(14)、(18)、(19)におけるメモリロードとの間にデータ依存がある。

【0113】

これらのメモリアクセスは、実際には、配列要素X[I]へのストアと、変数J、配列要素X[J]からのロードであり、配列Xと、変数Jのメモリ領域が重ならず、IとJの値が異なっていれば、データ依存は発生しない。すなわちブロック(B1)において、(11)の $t1 := \&X$ は、配列Xの先頭アドレスを中間項 $t1$ に格納し、1配列要素は4バイトであり($t4 = t2 * t3$)、 $t5 = t1 + t4$ により、(7)の $mem(t5)$ が、X[I]のメモリアドレスを示し、このアドレスへの $t6$ のメモリストアであり、またブロック(B2)において、(18)の $t15 := mem(t14)$ は、X[J]からのメモリロードを表している。

【0114】

しかし、ここでは、データ依存解析の結果、このような条件が常に満たされる確証を得られず、メモリストアとメモリロードとの間に、潜在的なメモリデータ依存が存在すると判断されたものとして、説明を続ける。

【0115】

(B1) - (B2)間の各データ依存の距離は、図8の中間プログラム上のステップで数えて、各々1、5、6である。ここで、(12)にあるラベルL1は、非実行文であるためステップ数に含めず、(13)にある命令を0、(14)にある命令を1、(15)にある命令を2、というように数えている。これによ

り、(B 1) - (B 2) 間のデータ依存の距離の最小値は 1 である。

【0 1 1 6】

同様に、(B 1) - (B 3) 間では、(B 1) の (7) と、(B 3) の (2 9)、(3 3) との間にデータ依存があり、その距離は、各々 5、9 である。つまり、(B 1) - (B 3) 間のデータ依存の距離の最小値は 5 である。

【0 1 1 7】

ステップ 3 3 では、上で求めたデータ依存の距離の最小値である 6 と 1 0 とを比較し、その差が十分であると判断し、データ依存の距離の最小値の大きい側である (B 3) 側の分岐方向を、F O R K 先に選定する。

【0 1 1 8】

もし、図 3 のステップ 2 5 において、変数 J がメモリではなくレジスタに割り当てられるという見通しを得ていたすると、(B 1) - (B 2)、(B 1) - (B 3) のデータ依存の距離の最小値は各々 5、9 となり、ステップ 3 3 にて (B 2) 側を F O R K 先に選定することになる。

【0 1 1 9】

次に、図 5 を参照して、命令並べ換え部 2 3 の動作を具体的に説明する。本実施例では、中間プログラム上で、図 7 に示す制御並列関連命令が利用できるものとする。

【0 1 2 0】

先の説明で例に挙げた中間プログラムを与えると、命令並べ換え部 2 3 は、基本ブロック (B 1) から (B 3) への F O R K を行うように、命令並べ換え処理を行う。

【0 1 2 1】

図 5 のステップ 4 0 では、中間項 $t_1 \sim t_{28}$ と、変数 I、K、R がレジスタに割り当てられる、という情報を取得する。

【0 1 2 2】

図 5 のステップ 4 1 では、図 8 における (1 1) の分岐命令 (t h e n 以下の g o t o L 2) を、制御投機 F O R K 命令である S P F O R K 命令に置き換える。S P F O R K 命令のオペランドは、F O R K 先として決定した (B 3)、

即ちラベル L 2 とする (図 9 の (5 8) の S P F O R K L 2)。

【 0 1 2 3 】

図 5 のステップ 4 2 では、図 8 における、分岐条件を計算する文を構成する一連の命令 (8) ~ (1 0) を、S P F O R K 命令の直後に移動させ、(1 1) の分岐条件に合わせた条件付きスレッド終了命令である、F T E R M 命令 (条件不成立時に自スレッドを終了する命令)、更には、T H A B O R T 命令と、後続ブロックである (B 1) への無条件分岐命令 (g o t o L 1) を挿入する。

【 0 1 2 4 】

これらの命令列は、以下のように動作するように挿入する。

【 0 1 2 5 】

即ち、S P F O R K 後に、分岐条件計算を行って、S P F O R K が本当に正しかったか否かを判定する。

【 0 1 2 6 】

S P F O R K が正しい (投機成功) ならば、条件付きスレッド終了命令の一種 F T E R M により、自スレッド (親スレッド) を終了させると同時に、生成した子スレッドを、制御投機モードから確定モード (非制御投機モード) に変更する。

【 0 1 2 7 】

一方、S P F O R K が正しくなかった (投機失敗) ならば、F T E R M 命令は何もせず、後続の T H A B O R T 命令によって、子スレッドを破棄し、無条件分岐命令 (図 9 の (6 4) の g o t o L 1) によって、自スレッドは、F O R K 先とは逆の分岐先の命令の実行を続けるようにする。図 9 は、図 8 に示す中間プログラムに対して、図 5 のステップ 4 2 までの変換を施した中間プログラムを示す図である。

【 0 1 2 8 】

図 5 のステップ 4 3 では、メモリストア文を構成する一連の命令である図 9 の (5 6) と (5 7) を、S P F O R K 命令 (5 8) の直後に移動し (図 1 0 の (1 0 8)、(1 0 9))、その直後に、R E L E A S E 命令を挿入する (図 1 0 の (1 1 0))。

【0129】

RELEASE命令のオペランドは、移動させたストア命令(57)のオペランドと同じ中間項を用いる。またSPFORK命令(58)の直前に、ストア命令(57)のオペランドと同じ中間項をオペランドとするBLOCK命令を挿入する。図10は、ここまでの変換を施した中間プログラムである。

【0130】

ここで、メモリストア文をFORK後に移動させる際、命令(51)～(57)全部ではなく、(56)と(57)のみを移動させた理由は、実効メモリアドレスを保持する中間項を、BLOCK命令及びRELEASE命令で再利用できるようにするためである。コンパイラ分野において、「共通部分式削除」と呼ばれる最適化機能を用いれば、ここでBLOCK及びRELEASEのたびに実効アドレスを再計算するようなプログラム変換を施しても、共通部分式削除最適化により冗長な実効アドレス計算は削除される。

【0131】

図5のステップ44では、各基本ブロック(B1)、(B2)、(B3)の先頭に、RDCL命令及びMDCCL命令を挿入する。これらの命令は、後段のレジスタ割り当て部22への指示であり、このうち、

- ・RDCL命令は、指定した変数ないし中間項へのレジスタ割り当てを行い、
- ・MDCCL命令は、指定した変数ないし中間項へのメモリ領域の割り当てを行う。

【0132】

図11は、ここまでの変換を施した中間プログラムである。(201)～(203)、(221)～(223)、(235)～(237)がステップ44で挿入した命令である。

【0133】

再度、図2を参照すると、命令並べ換え後、レジスタ割り当て部22が、レジスタに置くべき変数や中間項に物理レジスタを割り当てる。

【0134】

本実施例では、プログラム変換装置から出力される目的プログラムが実行され

る装置のアーキテクチャ（ターゲットアーキテクチャ）は、 $r0 \sim r31$ の32本の物理レジスタを持ち、レジスタ変数（原始プログラム中の変数のうち、物理レジスタに割り当てられるもの）用に、物理レジスタ $r10 \sim r19$ 、作業用レジスタ（主として演算途中結果を保持するレジスタ）用に、物理レジスタ $r20 \sim r30$ を用いるようなレジスタ割り当てを行うものとする。

【0135】

レジスタ割り当て部22は、

- ・変数I、K、Rに、それぞれ $r11$ 、 $r13$ 、 $r12$ を割り当て、
- ・中間項 $t1 \sim t28$ には、 $r20 \sim r30$ を順に割り当てる。

【0136】

図12は、図11に示した中間プログラムに対して、レジスタを割り当てた後の中間プログラムを示している。なお、図12の中間プログラムには、冗長な命令が含まれるが、これらの冗長さは、従来から提案されている最適化処理を行うことで除去できる。従来の各種最適化方法については、例えば文献5（「コンパイラII 原理・技法・ツール」、A. V. エイホ他著、原田賢一訳、サイエンス社、1990）の第772頁～第790頁に説明されている。

【0137】

これらの最適化処理は、レジスタ割り当て前に施すことが好ましいため、図2において、好ましくは、FORK箇所決定部21よりも手前、例えば中間プログラム入力部20の内部に実装される。

【0138】

【実施の形態2】

次に本発明の第2の実施の形態について、図面を参照して詳細に説明する。本発明の第2の実施の形態では、プロファイル情報を参照して、FORK先及びFORK時のデータ依存対処方法を選択する点に特徴があるが、その他の点は、前記第1の実施の形態と、基本的に同一とされる。

【0139】

図1を参照すると、本発明の第2の実施の形態においては、まずプログラム変換装置2を用いて原始プログラム1から目的プログラム3を生成する。このとき

、プログラム変換装置 2 は、機械命令アドレスとプログラム変換装置 2 内で用いる中間プログラムとの対応をとるための情報を、目的プログラム 3 の中に埋め込む。目的プログラム実行装置 4 は、この目的プログラム 3 を実行し、その際に収集した実行情報をプロファイル情報ファイル 5 として出力する。

【0140】

次に、再度プログラム変換装置 2 を用いて、原始プログラム 1 を並列化し、目的プログラム 3 を生成する。このとき、プロファイル情報ファイル 5 を用いて、より実行時性能の高い目的プログラム 3 を生成する。

【0141】

プログラム変換装置 2 の構成は、前記第 1 の実施の形態とほぼ同様であるが、図 2 における、FORK 箇所決定部 21 と、命令並べ換え部 23 の動作が、前記第 1 の実施の形態とは異なり、プロファイル情報を参照しながら、より実行時性能の期待できる並列化処理を行う。

【0142】

本発明の第 2 の実施の形態における FORK 箇所決定部 21 の動作概要は、図 3 を参照して説明した前記第 1 の実施の形態と同じである。即ち、FORK 箇所決定部 21 は、与えられた中間プログラム中の各関数毎に、図 3 のステップ 26 で当該関数内でレジスタ割り当てを試行した後、ステップ 27 で、当該関数内に含まれる各条件分岐命令に対して、FORK 箇所決定処理を行う。

【0143】

図 13 は、各条件分岐命令に対する FORK 箇所決定処理（図 3 のステップ 26）の第 2 の実施の形態を示す流れ図である。

【0144】

ステップ 50 では、当該条件分岐命令が入力中間プログラム中のループ構造の戻り枝に相当する分岐命令であるか否かを判定する。この処理は、前記第 1 の実施の形態のステップ 31（図 4 参照）と同じものである。

【0145】

もし、ループ構造の戻り枝なら、ステップ 56 で、その戻り枝方向を FORK 先として仮決定する。これは FORK するとすれば、こちらの方向を、FORK

先とするのがよい、という意味であり、実際に F O R K することにするか否かは後段で決定する。

【 0 1 4 6 】

ステップ 5 1 では、入力したプロファイル情報に基づいて、当該条件分岐命令の t a k e n (分岐成立) 側 / f a l l t h r o u g h 側が選択される確率を計算する。

【 0 1 4 7 】

ステップ 5 2 では、ステップ 5 1 で計算した、2 つの確率間に一定以上の違いがあるかどうかを判定する。

【 0 1 4 8 】

分岐確率の違いが、その判断基準を越えていれば、ステップ 5 7 にて、確率の高い側を、F O R K 先として仮決定する。

【 0 1 4 9 】

ステップ 5 3 では、条件分岐の 2 つの分岐先各々に対して、データ依存の距離の最小値を計算する。この処理は、前記第 1 の実施の形態におけるステップ 3 2 (図 4 参照) と同じものである。

【 0 1 5 0 】

ステップ 5 4 では、ステップ 5 3 で、条件分岐の両側に関して求めた 2 つのデータ依存の距離の最小値を比較し、両者に一定以上の差があるか否かを判定する。

【 0 1 5 1 】

一定以上の差があるか、又はデータ依存がない場合、ステップ 5 5 にて、データ依存の距離の最小値の大きい側の分岐方向を F O R K 先として決定する。これは、前記第 1 の実施の形態のステップ 3 3 (図 4 参照) と同様の処理である。

【 0 1 5 2 】

ステップ 5 8 及びステップ 5 9 では、ステップ 5 6 ないしステップ 5 7 で仮決定した F O R K 先に対して、ステップ 5 3 と同様に、データ依存の距離の最小値を計算し、仮決定した F O R K 先側のデータ依存の距離の最小値が一定以上あるか否かを判定する。

【 0 1 5 3 】

仮決定した F O R K 先側のデータ依存の距離の最小値が一定以上あるか、メモリを介したデータ依存がなければ、ステップ 5 6 ないしステップ 5 7 で仮決定した F O R K 先を、正式な F O R K 先として確定する（ステップ 6 0）。

【 0 1 5 4 】

ステップ 5 4 ないしステップ 5 9 で、データ依存の距離の最小値が一定水準に満たないと判断された場合には、ステップ 6 7 にて、当該基本ブロックを、F O R K 箇所から除外する。これは例えば、当該条件分岐命令に、F O R K 対象外マークを付すなどして、後段の処理で並列化対象から外れるようにする。

【 0 1 5 5 】

ステップ 5 0 からステップ 6 0 で、当該条件分岐命令が F O R K 箇所として決定され、また分岐命令のいずれかの分岐先が F O R K 先も決定されたあと、ステップ 6 1 にて、データ依存発生頻度を計算する。即ち、プロファイル情報に基づき、F O R K 元の基本ブロック（現在処理対象としている分岐命令を末尾を含む基本ブロック）中で定義された値が F O R K 先として決定した基本ブロックにて参照される回数の、このパス（現在の基本ブロックから F O R K 先と決定した基本ブロックへの制御の流れ）を通過した回数に対する比率を計算する。

【 0 1 5 6 】

このデータ依存発生頻度計算においては、図 4 のステップ 3 2 と同様に、最終的にレジスタに割り当てられる中間項及び変数によるデータ依存は除外し、メモリ上に配置された中間項及び変数のみを計算対象とする。

【 0 1 5 7 】

ステップ 6 2 にて、そのデータ依存発生頻度が一定水準より高いか否かを判断し、もし高ければステップ 6 5 へ、低ければステップ 6 3 へ進む。

【 0 1 5 8 】

ステップ 6 3 では、中間プログラム中で、F O R K 元基本ブロックから、F O R K 先基本ブロックへのデータ依存を引き起こし得るメモリ上の中間項／変数の個数を数え挙げ、それが一定水準より多いか否かを判定する。この数え挙げは、プロファイル情報によらず、中間プログラム中の命令列を検査して静的に行う。

その結果、データ依存箇所数が一定水準より多ければ、DSP方式によるFOR K（ステップ64）、そうでなければBLOCK方式によるFOR K（ステップ66）を用いることとし、その情報を、中間プログラム中のFOR K命令に付与する。

【0159】

ステップ65では、ステップ63と同様にデータ依存しているメモリ上の変数の個数を数え上げる。その数が、一定水準より少なければ、BLOCK方式によるFOR K（ステップ66）を用いるが、一定水準より多ければ、当該基本ブロックはFOR K候補から外す（ステップ67）。

【0160】

図14は、本発明の第2の実施の形態における、命令並べ換え部23の動作を示す図である。命令並べ換え部23は、FOR K箇所決定部21が決定したFOR K箇所及びFOR K時データ保証方法に基づき、ステップ70からステップ76の一連の処理を行う。なお、ステップ70からステップ76の各処理はすべて中間プログラムに対して行う。これらのステップの説明に現れる命令は、すべて中間プログラム上の対応する命令を指す。

【0161】

ステップ70、ステップ71、ステップ72は、前記第1の実施の形態で参照した図5のステップ40、ステップ41、ステップ42とそれぞれ同様の処理である。

【0162】

ステップ73では、前段のFOR K箇所決定部21が決定した当該FOR K箇所のFOR K時データ保証方式がBLOCK方式かDSP方式かをチェックし、前者ならステップ74、後者ならステップ75に進む。

【0163】

ステップ74は、前記第1の実施の形態で参照した図5のステップ43と同様の処理である。即ち、FOR K前のメモリストア文をFOR K後に移動すると共に、必要なブロック設定及びブロック解除命令を挿入する。

【0164】

移動の際には、データ依存関係を検査し、命令実行順序が入れ替わっても演算結果が不変となるものののみ移動させる、という点も、図5のステップ43の処理と同様である。

【0165】

ステップ75もまた、メモリに対応付けられた中間項への代入文を、FORK命令後に移動させる、という点で、図5のステップ43と類似する処理であるが、図5のステップ43では、アクセス対象のメモリアドレスをオペランドとするブロック設定命令及びブロック解除命令を挿入したのに対し、ステップ75では、データ依存投機モードでFORKを行うように、ステップ71で作成したFORK命令を修正する点が異なる。

【0166】

ステップ76は、前記第1の実施の形態で参照した、図5のステップ44と同様の処理である。

【0167】

このように、本発明の第2の実施の形態においては、プロファイル情報を用いて、FORKするか否か、及び、FORK時のデータ依存保証方法を決定する。このため、条件分岐において制御の流れが片方に偏っている場合には、その方向をFORKすることで、制御投機FORKの成功確率が高まる。

【0168】

また、実際に発生したデータ依存の頻度や、依存箇所の数を考慮した並列化を行うことにより、並列化プログラムの実行時のオーバーヘッドを低減させ、より並列化による性能を引き出しやすくしている。

【0169】

〔実施例2〕

次に、具体的な実施例を用いて、本発明の第2の実施の形態の動作を説明する。図15は、本発明の並列化装置によって並列化される中間プログラムの一例を示す図である。図15における記号等の意味は、図8に示した第1の実施例の中で用いられているものと同じである。また、中間プログラム上で用いる制御並列関連命令も、図7に示した前記第1の実施例のものと同じである。

【 0 1 7 0 】

図 1 を参照すると、本発明の第 2 の実施例では、プログラム変換装置 2 は原始プログラム 1 を並列化せずに目的プログラム 3 に変換する。その際、プログラム変換装置 2 は、各基本ブロックの先頭に当該基本ブロックの識別番号に基づく名前をもつラベルを挿入し、そのラベルに関するシンボル情報も目的プログラム 3 内に含めて出力する。目的プログラムにシンボル情報を埋め込むことは、コンパイラ分野で広く行われており、目的プログラムからシンボル名及びそのシンボルに対応付けられたアドレスを引き出すことができれば、任意の手法を用いることができる。

【 0 1 7 1 】

目的プログラム実行装置 4 は、目的プログラム 3 を読み込み、埋め込まれたシンボル情報を元に目的プログラム内の基本ブロックの集合を認識する。これにより、プログラム変換装置 2 の内部の中間プログラムを構成していた基本ブロック集合と区切り方の等価な基本ブロック集合を、目的プログラム実行装置 4 も認識することができる。

【 0 1 7 2 】

目的プログラム実行装置 4 は、読み込んだ目的プログラム 3 を構成する機械命令をソフトウェアで解釈して実行しながら、目的プログラムの振るまい、具体的には、

- (1) 各条件分岐命令の条件が成立した回数と成立しなかった回数、及び、
 - (2) 制御フロー上隣接する基本ブロック間でのメモリデータ依存の回数と当該機械命令アドレス、
- の情報を収集する。

【 0 1 7 3 】

目的プログラム 3 の実行が完了した後、目的プログラム実行装置 4 は収集した前記情報の中の機械命令アドレスを基本ブロックの識別番号に変換し、

- (1) 各基本ブロックから制御フロー上でそれに続く各基本ブロックへ制御が流れた回数、及び、
- (2) 制御フロー上隣接する基本ブロック間でメモリデータ依存を引き起こし

た回数、

の内容を含むプロファイル情報ファイル5を出力する。

【0174】

図16は、図15に示した中間プログラムに対応する目的プログラムを、目的プログラム実行装置4に与えたとき、目的プログラム実行装置4が出力したプロファイル情報ファイル5に含まれるプロファイル情報の一部を示した図である。

【0175】

図16(A)は、基本ブロック間の分岐回数であり、例えば基本ブロック(B11)から、基本ブロック(B12)及び(B13)への分岐は、各々20回、180回であったことを示している。

【0176】

図16(B)は、基本ブロック間メモリデータ依存回数を表し、例えば基本ブロック(B15)でストアした値を基本ブロック(B16)でロードした回数が120回であったことを示している。

【0177】

次に、プロファイル情報ファイル5をプログラム変換装置2に与えて、原始プログラム1を並列化する動作について説明する。

【0178】

図2を参照すると、並列化装置11は、一度目に原始プログラムを変換したときと全く同じ中間プログラム6が与えられる。

【0179】

中間プログラム入力部20は、中間プログラム6を読み込み、フロー解析を行った上で、FORK箇所決定部21に渡す。

【0180】

他方、プロファイル情報入力部25は、目的プログラム実行装置4が生成したプロファイル情報ファイル5を読み込む。図15の中間プログラム例を用いた際にプロファイル情報入力部25が読み込んだプロファイル情報の中身は、図16に示したものである。

【0181】

図 2 を参照すると、F O R K 箇所決定部 2 1 が、図 1 5 に示された中間プログラムを受け取り、F O R K 箇所の決定を行う。

【 0 1 8 2 】

図 3 のステップ 2 5 にて、レジスタ割り当てが試行され、 $t_1 \sim t_{43}$ の全中間項、及び、変数 J、P には、物理レジスタが割り当てられ、変数 K、X、Y、Z には、メモリ上の領域が割り当てられたとする。

【 0 1 8 3 】

図 3 のステップ 2 6 では、条件分岐を含む基本ブロック (B 1 1)、(B 1 3)、(B 1 5) が並列化変換の対象となる。

【 0 1 8 4 】

以下、図 1 3 を参照しながら、基本ブロック (B 1 1)、(B 1 3)、(B 1 5) に対する F O R K 箇所決定処理部 2 7 の動作を説明する。

【 0 1 8 5 】

基本ブロック (B 1 1) は、ステップ 5 0 でループ戻り枝ではないと判定される。

【 0 1 8 6 】

ステップ 5 1 にて、図 1 6 (A) に示したプロファイル情報から、分岐確率を計算し、(B 1 2) への分岐が 1 0 %、(B 1 3) への分岐が 9 0 % と求められる。

【 0 1 8 7 】

ステップ 5 2 では、比率で 2 倍以上の偏りがあるかどうかを判断基準にとり、(B 1 1) からの分岐確率の偏りは十分であると判定し、ステップ 5 7 により (B 1 3) が F O R K 先として仮決定される。

【 0 1 8 8 】

ステップ 5 8 では、メモリデータ依存を調べるが、(B 1 1) にはメモリストアがないため、ステップ 6 0 にて (B 1 3) が F O R K 先に決定される。

【 0 1 8 9 】

次にステップ 6 1 で、データ依存発生頻度を求めるが、(B 1 1) に関するメモリデータ依存がないため、結局、ステップ 6 6 にて、B L O C K 方式が候補と

なる。

【0190】

基本ブロック (B13) は、分岐確率が (B14) へ15%、(B15) へ85%である以外は、上の (B11) と同様のステップを辿り、結局、ステップ60にて、(B15) がFORK先と決定され、ステップ66にて、BLOCK方式が候補となる。

【0191】

基本ブロック (B15) の場合、分岐確率が (B16) へ15%、(B17) へ85%であり、ステップ52では、分岐確率の偏りが十分であると判定され、ステップ57で (B17) がFORK先に仮決定される。

【0192】

(B15) から (B17) へのデータ依存の距離の最小値は6であり、ステップ59における判定基準をデータ依存の距離4以上とすると、ステップ60にて (B17) がFORK先として決定する。

【0193】

ステップ61にて、図16 (A) 及び図16 (B) に示したプロファイル情報を基にして、(B15) から (B17) へのデータ依存発生頻度を求めると、4/170で約2.4%となる。

【0194】

ステップ62での発生頻度の判定基準を30%とすると、この発生頻度は、低いと判断される。

【0195】

ステップ63では、データ依存を起こしうるメモリアクセス箇所を中間プログラム中から数え上げる。

【0196】

(B15) には、memが、左辺中に2箇所あるほか、メモリ上に割り当てられる変数Kが、左辺に1箇所現れる。

【0197】

これらのメモリストアは、すべて (B17) でのメモリロードとアドレスが重

なる可能性があり、計 3 箇所のメモリ依存箇所があることになる。

【0198】

ステップ 6 3 での依存メモリ箇所数の判定基準を 3 以上とすると、(B 1 5) の場合は依存箇所が多いと判定され、ステップ 6 4 にて、F O R K 方式として D S P 方式が候補となる。

【0199】

ここで、もし、(B 1 5) から (B 1 6) 及び (B 1 7) への分岐確率が各々 4 0 %、6 0 % であったと仮定すると、ステップ 5 2 では、分岐確率の偏りが小さいと判定される。

【0200】

ステップ 5 3 で、データ依存の距離を求めると、(B 1 5) から (B 1 6) へのデータ依存の距離の最小値は 5、(B 1 5) から (B 1 7) へのデータ依存の距離の最小値も 5 となり、ステップ 5 4 では、依存距離の差が小さいと判定される。

【0201】

そのため、ステップ 6 7 にて、(B 1 5) は、F O R K 箇所の候補から除外されることになる。

【0202】

次に、図 1 4 を参照して、第 2 の実施例における命令並べ換え部 2 3 の動作を具体的に説明する。

【0203】

命令並べ換え部 2 3 は、基本ブロック (B 1 1)、(B 1 3)、(B 1 5) の各条件分岐に対し、図 1 4 に示された一連の処理を行う。

【0204】

基本ブロック (B 1 1) については、ステップ 7 1 で、(B 1 3) への S P F O R K 命令が作られ、ステップ 7 2 で、条件式計算のための命令群が S P F O R K 後に移される。

【0205】

(B 1 1) からの F O R K でのデータ依存保証は、B L O C K 方式を候補とし

ているが、ブロックすべきメモリアクセスが存在しないため、ステップ74でBLOCK命令やRELEASE命令を挿入することはない。

【0206】

ステップ76では、レジスタに乗る予定の中間項t1、t2、t3をオペランドとしたRDCL命令を挿入する。

【0207】

基本ブロック(B13)も、BLOCK方式のデータ依存保証を行うため、前述の基本ブロック(B11)と同様の流れで処理される。

【0208】

基本ブロック(B15)の場合、データ依存保証をDSP方式で行うため、図14のステップ75で、メモリストア命令群の移動が行われ、データ依存投機モードを指示する命令が挿入される。

【0209】

具体的には、mem(t12)、mem(t17)、及び、変数Kへのストアを構成する文が、SPFORK命令後に移され、その直後に、データ依存投機モードの終了を指示するDSPOUTが挿入される。

【0210】

またSPFORK命令直前には、データ依存投機モードで子スレッドを生成することを指示するDSPIN命令が挿入される。

【0211】

図17は、本発明の第2の実施例における、命令並べ換え部23の処理を終えた後の中間プログラムを示す図である。

【0212】

なお、これまで説明した各実施の形態は、他のFORK箇所/FORK先決定方法と組み合わせて実施することも可能である。例えば文献4(「制御並列アーキテクチャ向け自動並列化コンパイル手法」(酒井他、情報処理学会論文誌、Vol. 40、No. 5、May 1999))の第2049頁～第2050頁では、FORK命令が元の条件分岐命令よりも何命令上流に移動できるかというFORKブースト値をFORK箇所選定に利用する方法が開示されている。この方法

を導入するには、前記第 1 の実施の形態及び前記第 2 の実施の形態における、命令並べ換え部 2 3 中のステップ 4 4 ないしステップ 7 6 の直前に、F O R K ブースト値によって F O R K を行うか否かの判定処理を組み込めばよい。

【 0 2 1 3 】

前記第 1 及び第 2 の実施の形態における、プログラム変換装置（コンパイラ）2 の並列化装置 1 1 における F O R K 箇所決定部 2 1、レジスタ割り当て部 2 2、命令並べ換え部 2 3、中間プログラム出力部 2 4、プロファイル情報入力部 2 5 は、コンピュータ上で実行されるプログラムにより、その機能・処理が実現される。この場合、該プログラムを記録した記録媒体（C D - R O M、D V D (digital versatile disk)、F D (フロッピー)、H D D (ハードディスク)、M T (磁気テープ)、半導体メモリ) から、該プログラム（実行形式）をコンピュータの主記憶にロードして実行するか、あるいは、サーバ等から通信媒体を介して、コンピュータの H D D 等にダウンロードしてインストールし、該プログラムを実行することで、本発明のプログラム変換装置を実施することができる。

【 0 2 1 4 】

【発明の効果】

以上説明したように、本発明によれば下記記載の効果を奏する。

【 0 2 1 5 】

本発明の第 1 の効果は、中間プログラムレベルで F O R K 命令を用いた並列化を的確に行える、ということである。

【 0 2 1 6 】

その理由は、本発明においては、レジスタ割り当て部は並列化よりも後段に位置するにも関わらず、並列化処理にてレジスタ割り当てを試行し、各中間項がレジスタに乗るのかメモリ領域に格納されるのかの予測ができるからである。

【 0 2 1 7 】

本発明の第 2 の効果は、F O R K 命令を用いて並列実行した場合の性能が向上する、ということである。

【 0 2 1 8 】

その理由は 2 つある。一つは、本発明においては、F O R K 箇所決定部が静的

に親子スレッド間でのデータ依存の状況を調べ、データ依存による子スレッド実行の一時停止の可能性が低くなるようにFORK先を選定するからである。もう一つは、FORK箇所決定部が、プロファイル情報に基づいて、動的なデータ依存発生状況を調べ、データ依存による子スレッド実行の一時停止や再実行の可能性が低くなるようにFORK先を選定するからである。

【図面の簡単な説明】

【図 1】

本発明の実施の形態の全体構成を示す図である。

【図 2】

本発明の実施の形態におけるプログラム変換装置の内部構成を示す図である。

【図 3】

本発明の第 1 の実施の形態における FORK 箇所決定部の動作を示す図である。

【図 4】

本発明の第 1 の実施の形態における FORK 箇所決定処理部の動作を示す図である。

【図 5】

本発明の第 1 の実施の形態における命令並べ換え部の動作を示す図である。

【図 6】

本発明の第 1 の実施の形態において命令が並べ換えられる様子を示す図である。

【図 7】

本発明の第 1 及び第 2 の実施例における中間プログラム上の制御並列関連命令一覧を示す図である。

【図 8】

本発明の第 1 の実施例における並列化前の中間プログラムを示す図である。

【図 9】

本発明の第 1 の実施例において命令並べ換え途中の中間プログラムを示す図である。

【図 1 0】

本発明の第 1 の実施例において命令並べ換え途中の中間プログラムを示す図である。

【図 1 1】

本発明の第 1 の実施例において命令並べ換えを終えた中間プログラムを示す図である。

【図 1 2】

本発明の第 1 の実施例においてレジスタ割り当てを終えた中間プログラムを示す図である。

【図 1 3】

本発明の第 2 の実施の形態における FORK 箇所決定処理部の動作を示す図である。

【図 1 4】

本発明の第 2 の実施の形態における命令並べ換え部の動作を示す図である。

【図 1 5】

本発明の第 2 の実施例における並列化前の中間プログラムを示す図である。

【図 1 6】

本発明の第 2 の実施例におけるプロファイル情報を示す図である。

【図 1 7】

本発明の第 2 の実施例において命令並べ換えを終えた中間プログラムを示す図である。

【図 1 8】

周知の MUSCAT アーキテクチャの FORK 命令を説明するための図である。

【図 1 9】

周知の MUSCAT アーキテクチャの BLOCK 方式説明のための図である。

【図 2 0】

周知の MUSCAT アーキテクチャの制御投機モード説明のための図である。

【図 2 1】

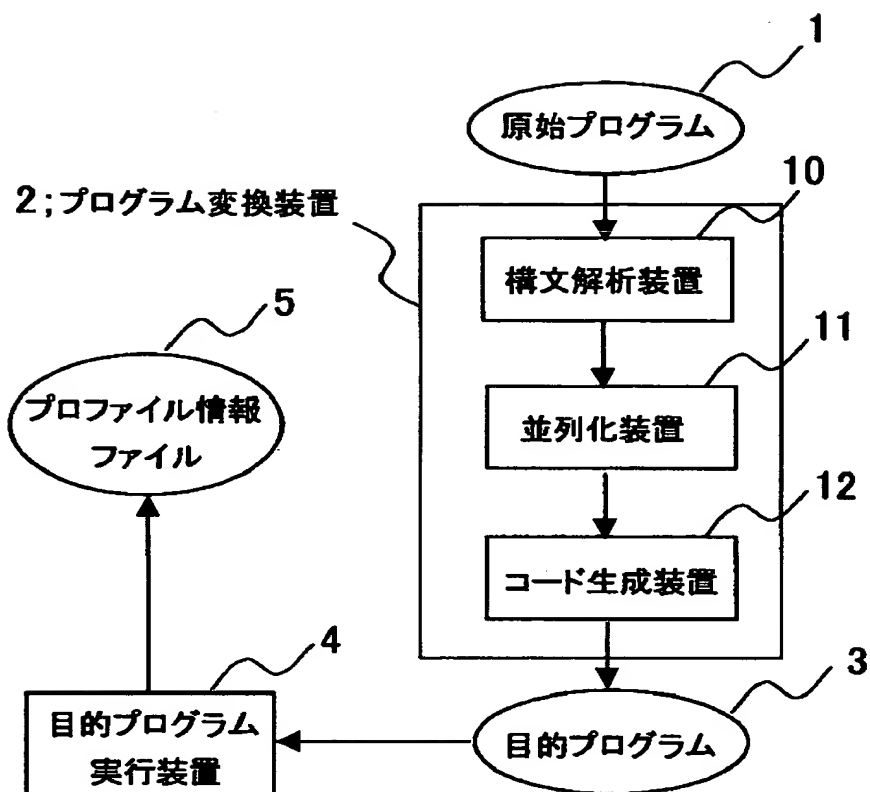
周知のMUSCATアーキテクチャのデータ依存投機モード説明のための図である。

【符号の説明】

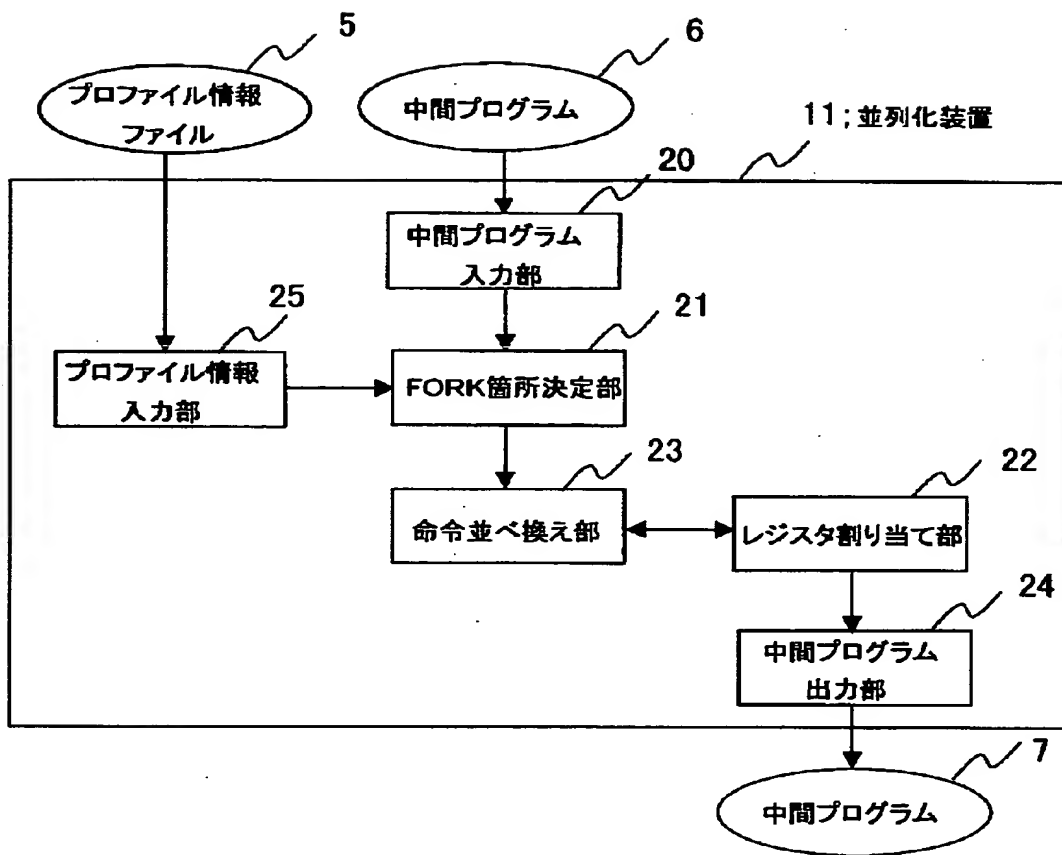
- 1 原始プログラム
- 2 プログラム変換装置
- 3 目的プログラム
- 4 目的プログラム実行装置
- 5 プロファイル情報ファイル
- 6 中間プログラム
- 7 中間プログラム
- 10 構文解析装置
- 11 並列化装置
- 12 コード生成装置
- 20 中間プログラム入力部
- 21 FORK箇所決定部
- 22 レジスタ割り当て部
- 23 命令並べ換え部
- 24 中間プログラム出力部
- 25 プロファイル情報入力部

【書類名】 図面

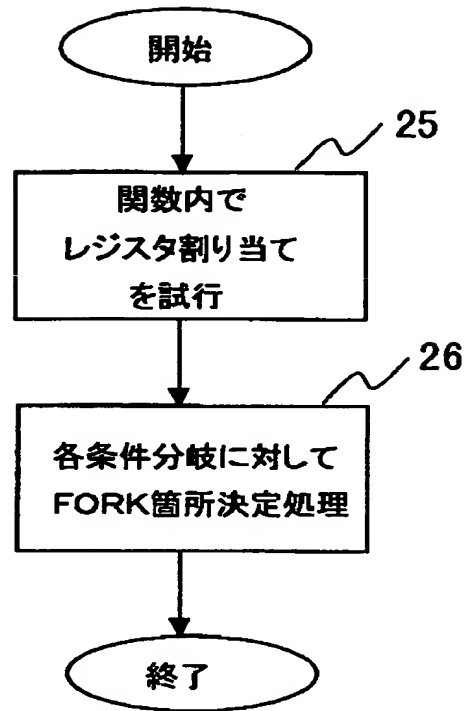
【図1】



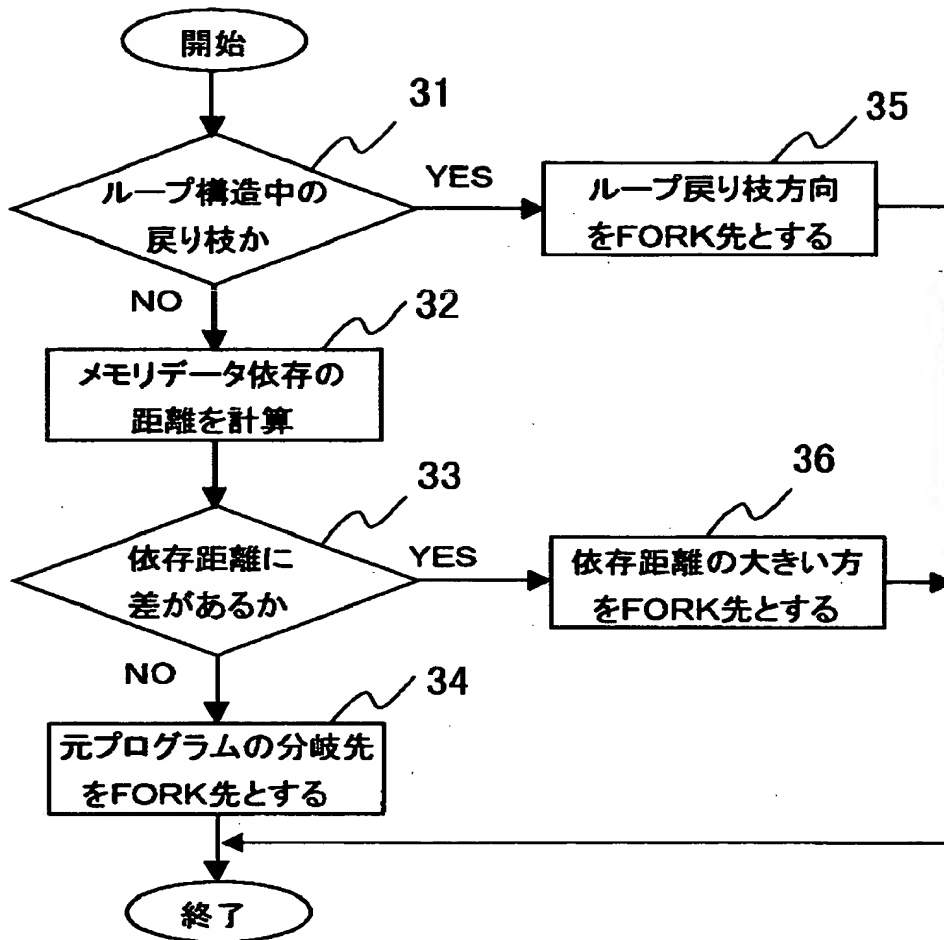
【図 2】



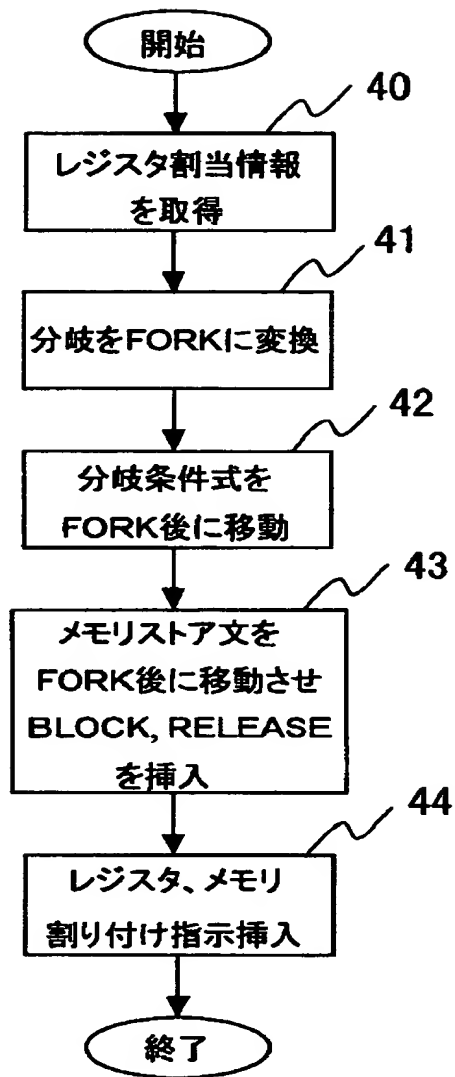
【図 3】



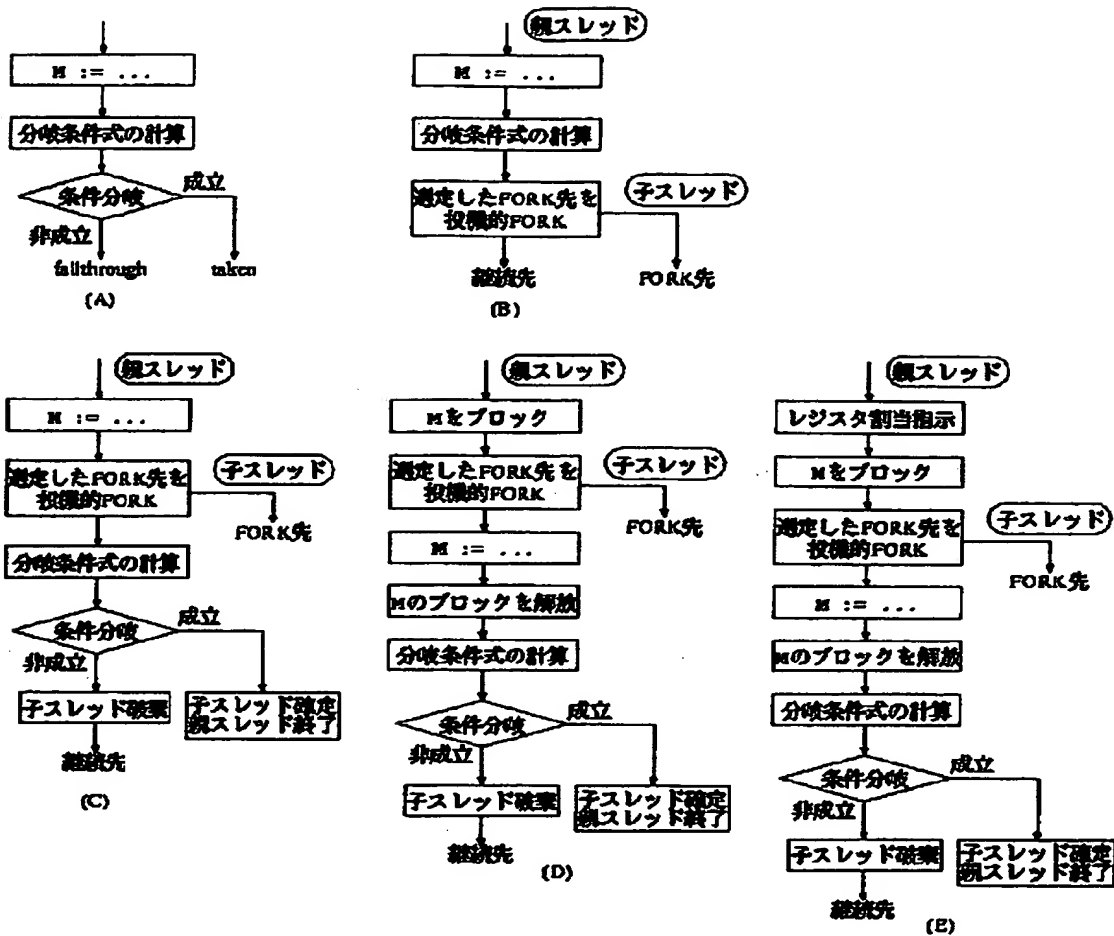
【図4】



【図 5】



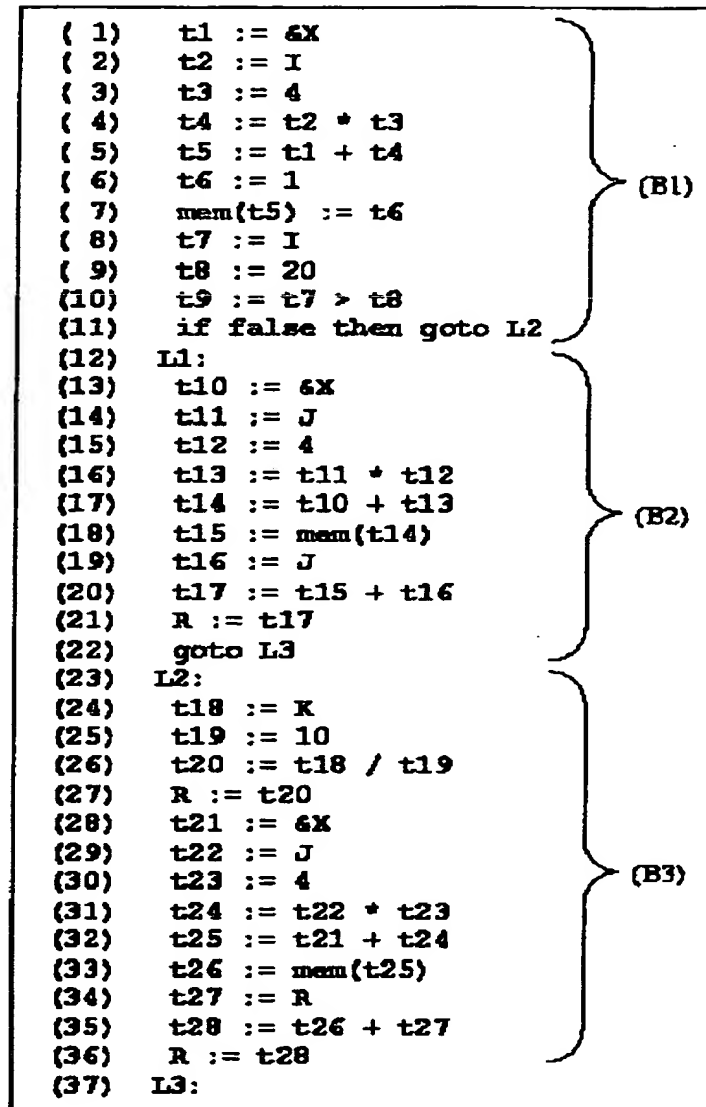
【図 6】



【図 7】

SPFORK I	I から実行開始する投機モード子スレッドを生成
TERM □	□ が真なら自スレッド終了, 子スレッド確定
FTERM □	□ が偽なら自スレッド終了, 子スレッド確定
THABORT	投機モードの子スレッドを破棄
BLOCK ■	■ で指定したメモリアドレスをブロック指定
RELEASE ■	■ で指定したメモリアドレスに設定したブロックを解除
DSPIN	後続のFORKで生成した子スレッドをデータ依存投機モードで生成
DSPOUT	子スレッドのデータ依存投機モードを解除
RDCL t, ...	t, ... で指定した中間項/変数をレジスタに割り当てるよう指示
MDCL t, ...	t, ... で指定した中間項/変数をメモリに割り当てるよう指示

【図8】



【図9】

(51)	t1 := 6X	}	(B1)
(52)	t2 := I		
(53)	t3 := 4		
(54)	t4 := t2 * t3		
(55)	t5 := t1 + t4		
(56)	t6 := 1		
(57)	mem(t5) := t6		
(58)	SPFORK L2		
(59)	t7 := I		
(60)	t8 := 20		
(61)	t9 := t7 > t8	}	(B2)
(62)	FTERM		
(63)	THABORT		
(64)	goto L1		
(65)	L1:		
(66)	t10 := 6X		
(67)	t11 := J		
(68)	t12 := 4		
(69)	t13 := t11 * t12		
(70)	t14 := t10 + t13		
(71)	t15 := mem(t14)	}	(B3)
(72)	t16 := J		
(73)	t17 := t15 + t16		
(74)	R := t17		
(75)	goto L3		
(76)	L2:		
(77)	t18 := K		
(78)	t19 := 10		
(79)	t20 := t18 / t19		
(80)	R := t20		
(81)	t21 := 6X	}	(B3)
(82)	t22 := J		
(83)	t23 := 4		
(84)	t24 := t22 * t23		
(85)	t25 := t21 + t24		
(86)	t26 := mem(t25)		
(87)	t27 := R		
(88)	t28 := t26 + t27		
(89)	R := t28		
(90)	L3:		

【図10】

{101}	t1 := 6X	}	(B1)
{102}	t2 := I		
{103}	t3 := 4		
{104}	t4 := t2 * t3		
{105}	t5 := t1 + t4		
{106}	BLOCK t5		
{107}	SPFORK L2		
{108}	t6 := 1		
{109}	mem(t5) := t6		
{110}	RELEASE t5		
{111}	t7 := I	}	(B2)
{112}	t8 := 20		
{113}	t9 := t7 > t8		
{114}	FTERM		
{115}	THABORT		
{116}	goto L1		
{117}	L1:		
{118}	t10 := 6X		
{119}	t11 := J		
{120}	t12 := 4		
{121}	t13 := t11 * t12	}	(B3)
{122}	t14 := t10 + t13		
{123}	t15 := mem(t14)		
{124}	t16 := J		
{125}	t17 := t15 + t16		
{126}	R := t17		
{127}	goto L3		
{128}	L2:		
{129}	t18 := K		
{130}	t19 := 10		
{131}	t20 := t18 / t19	}	(B3)
{132}	R := t20		
{133}	t21 := 6X		
{134}	t22 := J		
{135}	t23 := 4		
{136}	t24 := t22 * t23		
{137}	t25 := t21 + t24		
{138}	t26 := mem(t25)		
{139}	t27 := R		
{140}	t28 := t26 + t27		
{141}	R := t28	}	
{142}	L3:		

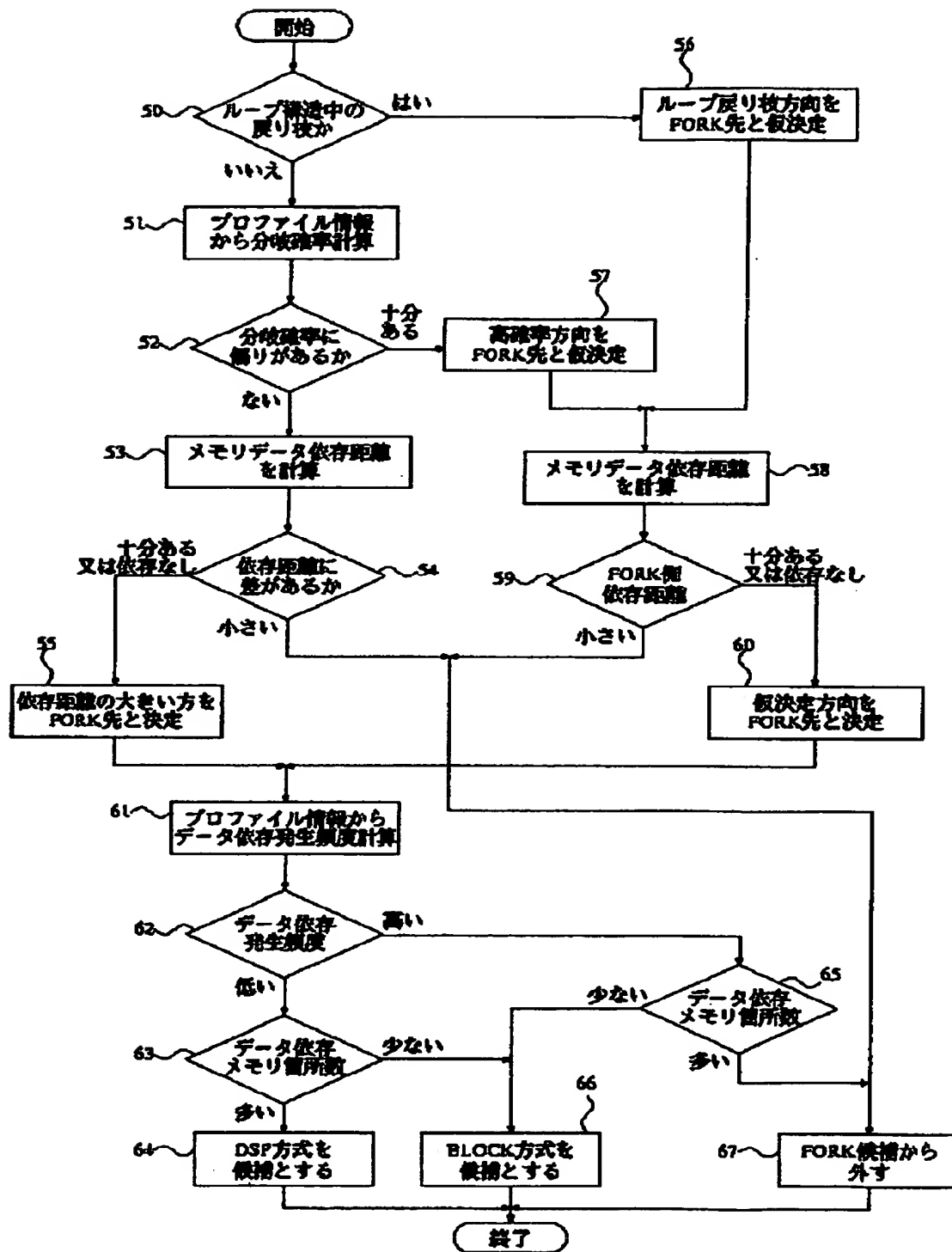
【図11】

(201)	RDCL t1-t9	(B1)
(202)	RDCL I	
(203)	MDCL X	
(204)	t1 := 6X	
(205)	t2 := I	
(206)	t3 := 4	
(207)	t4 := t2 * t3	
(208)	t5 := t1 + t4	
(209)	BLOCK t5	
(210)	SPFORK L2	
(211)	t6 := 1	
(212)	mem(t5) := t6	
(213)	RELEASE t5	
(214)	t7 := I	(B2)
(215)	t8 := 20	
(216)	t9 := t7 > t8	
(217)	FTERM	
(218)	THABORT	
(219)	goto L1	
(220)	L1:	
(221)	RDCL t10-t17	
(222)	RDCL R	
(223)	MDCL X, J	
(224)	t10 := 6X	
(225)	t11 := J	
(226)	t12 := 4	
(227)	t13 := t11 * t12	
(228)	t14 := t10 + t13	
(229)	t15 := mem(t14)	
(230)	t16 := J	
(231)	t17 := t15 + t16	
(232)	R := t17	(B3)
(233)	goto L3	
(234)	L2:	
(235)	RDCL t18-t28	
(236)	RDCL R	
(237)	MDCL X, J	
(238)	t18 := K	
(239)	t19 := 10	
(240)	t20 := t18 / t19	
(241)	R := t20	
(242)	t21 := 6X	
(243)	t22 := J	
(244)	t23 := 4	
(245)	t24 := t22 * t23	
(246)	t25 := t21 + t24	
(247)	t26 := mem(t25)	
(248)	t27 := R	
(249)	t28 := t26 + t27	
(250)	R := t28	
(251)	L3:	

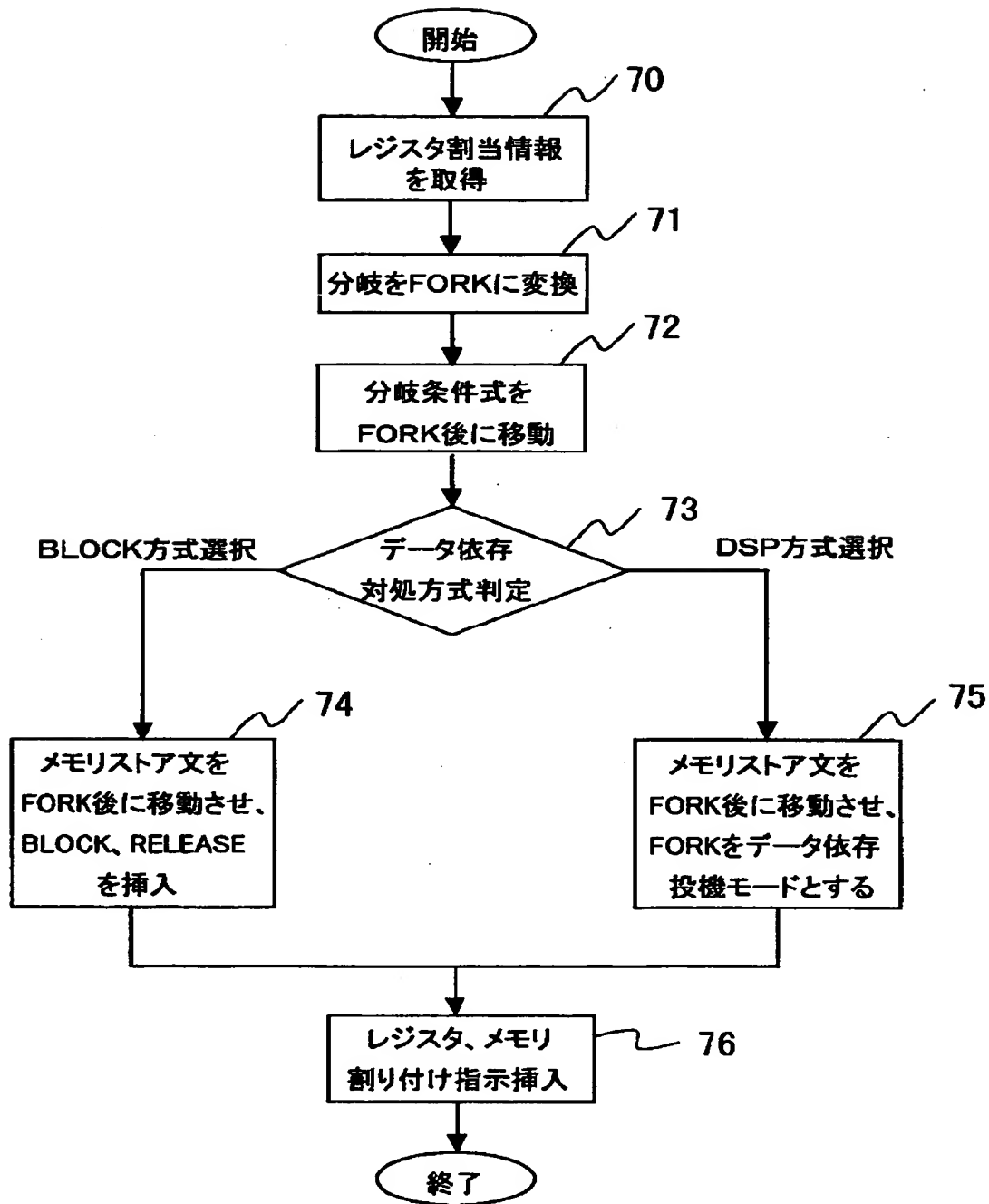
【図12】

```
(255)  r21 := 6X
(256)  r22 := r11
(257)  r23 := 4
(258)  r24 := r22 * r23
(259)  r25 := r21 + r24
(260)  BLOCK r25
(261)  SPORK L2
(262)  r26 := 1
(263)  mem(r25) := r26
(264)  RELEASE r25
(265)  r27 := r11
(266)  r28 := 20
(267)  r29 := r27 > r28
(268)  FTERM r29
(269)  THABORT
(270)  goto L1
(271)  L1:
(272)  r20 := 6X
(273)  r21 := mem(6J)
(274)  r22 := 4
(275)  r23 := r21 * r22
(276)  r24 := r20 + r23
(277)  r25 := mem(r24)
(278)  r26 := mem(6J)
(279)  r27 := r25 + r26
(280)  r12 := r27
(281)  goto L3
(282)  L2:
(283)  r20 := r13
(284)  r21 := 10
(285)  r22 := r20 / r21
(286)  r12 := r22
(287)  r23 := 6X
(288)  r24 := mem(6J)
(289)  r25 := 4
(290)  r26 := r24 * r25
(291)  r27 := r23 + r26
(292)  r28 := mem(r27)
(293)  r29 := r12
(294)  r30 := r28 + r29
(295)  r12 := r30
(296)  L3:
```

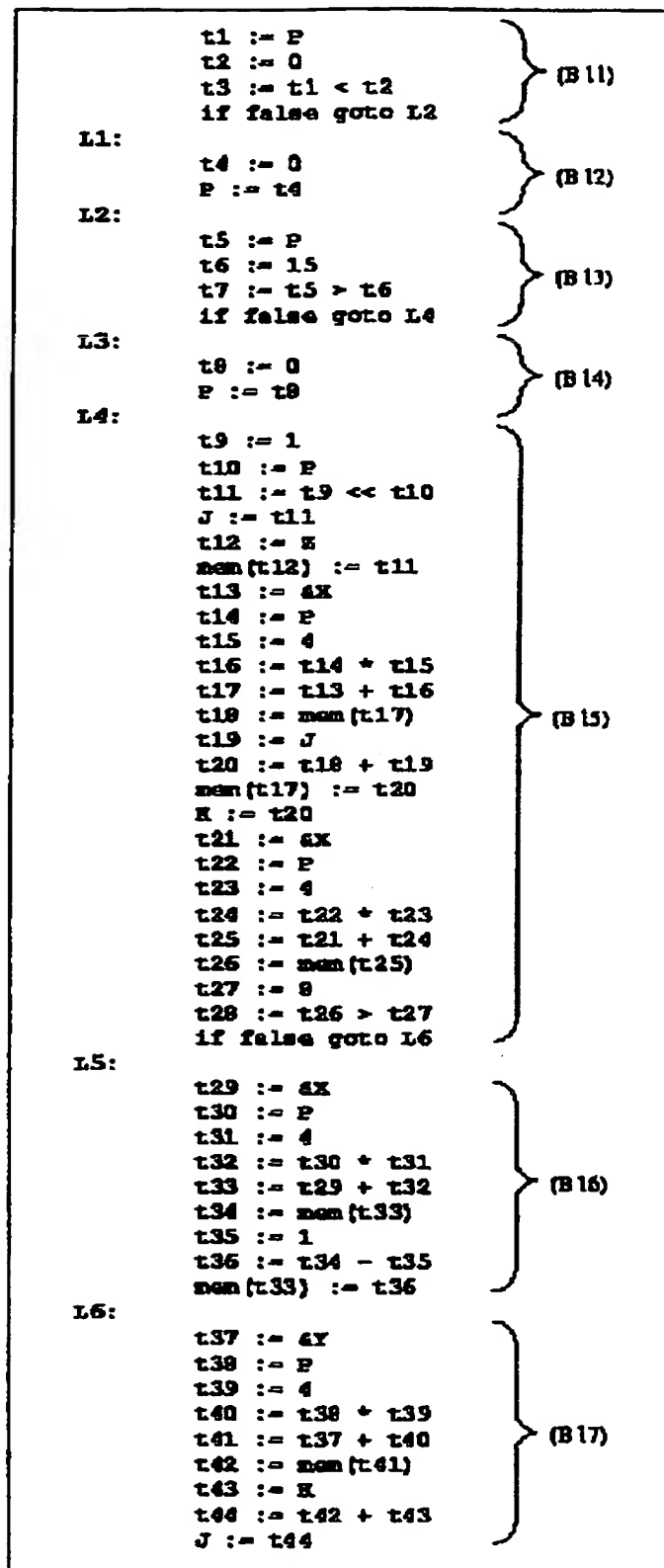
【図 13】



【図14】



【図15】



【図 16】

分岐回数			メモリデータ依存	
B11	B12: 20	B13: 180	B15 → B16	120
B13	B14: 30	B15: 170	B15 → B17	4
B15	B16: 30	B17: 170		

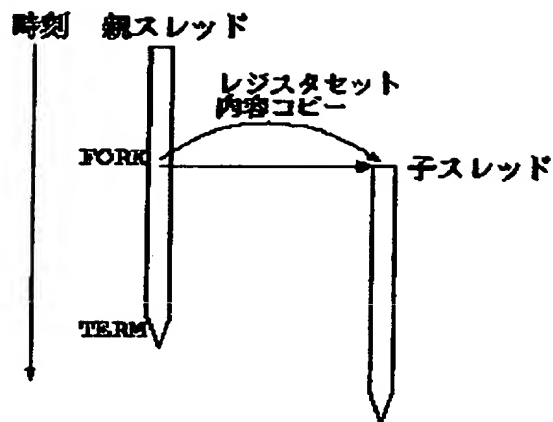
(A)

(B)

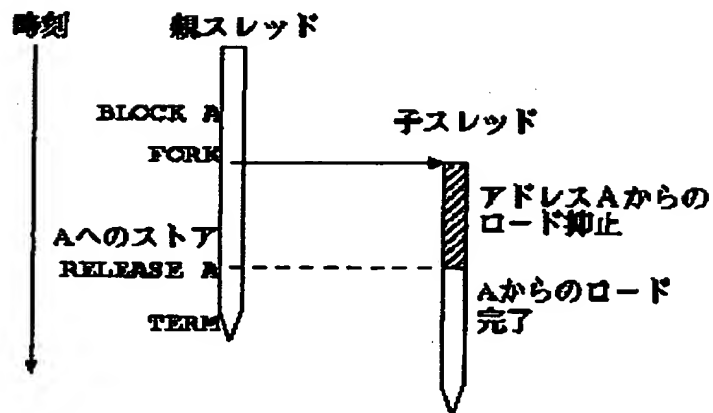
【図 17】

L1:	RDCL t1-t3 SPFORN L2 t1 := P t2 := 0 t3 := t1 < t2 FTEEM t3 THABORT goto L1	(B11)	L5:	t18 := mem(t17) t19 := J t20 := t18 + t19 mem(t17) := t20 K := t20 DSEOUT t21 := 6X t22 := P t23 := 4 t24 := t22 + t23 t25 := t21 + t24 t26 := mem(t25) t27 := 0 t28 := t26 > t27 FTEEM t28 goto L5	(B15)
	L2:	(B12)			
	L3:	(B13)			
	L4:	(B14)			
L6:	RDCL t9-t29, J, P MDCL K, X, Z t9 := 1 t10 := P t11 := t9 << t10 J := t11 DSEPIN SPFORN L6 t12 := 6X mem(t12) := t11 t13 := 6X t14 := P t15 := 4 t16 := t14 + t15 t17 := t13 + t16	(B15)	L6:	RDCL t29-t36, P MDCL X t29 := 6X t30 := P t31 := 4 t32 := t30 + t31 t33 := t29 + t32 t34 := mem(t33) t35 := 1 t36 := t34 - t35 mem(t33) := t36	(B16)
	(右へ続く)			RDCL t37-t47, J, P MDCL K, Y, Z t37 := 6X t38 := P t39 := 4 t40 := t38 + t39 t41 := t37 + t40 t42 := mem(t41) t43 := K t44 := t42 + t43 t45 := 6X t46 := mem(t45) t47 := t44 + t46 J := t47	(B17)

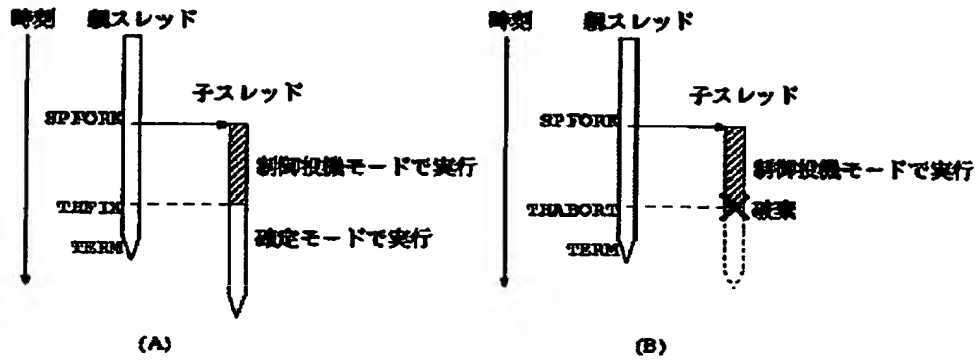
【図18】



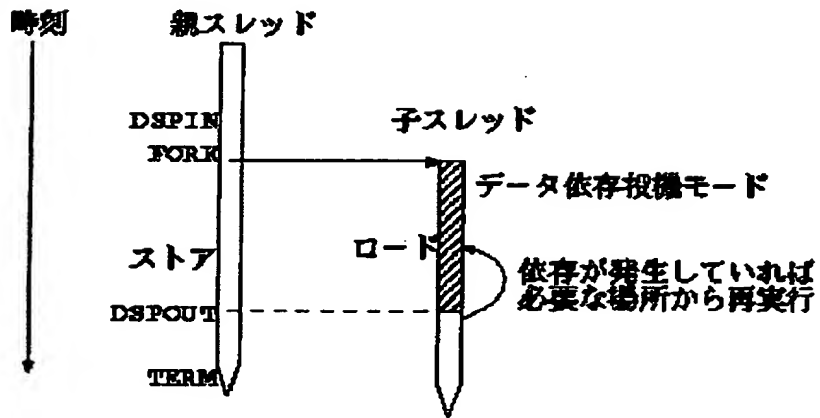
【図19】



【図 2 0】



【図 2 1】



【書類名】 要約書

【要約】

【課題】

中間プログラムレベルでマルチスレッドマイクロプロセッサ向けの並列化を行うプログラム変換装置の提供。

【解決手段】

並列化装置 1 1 は、F O R K 箇所決定部 2 1 とレジスタ割り当て部 2 2 と命令並べ換え部 2 3 を備え、入力した中間プログラムに対し、F O R K 箇所決定部 2 1 はレジスタ割り当て部 2 2 でレジスタ割り当てを試行した結果とメモリデータ依存箇所の数とプロファイル情報ファイル 5 から得た分岐確率及びデータ依存発生頻度をもとに、F O R K 箇所と、F O R K 方式を決定し、命令並べ換え部 2 3 は、その決定に沿って F O R K 命令前後の命令を並べ換える。

【選択図】

図 2

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社